

FR500シリーズの実装と応用

FR500シリーズは、16ビット固定小数点データを同時に最大8個積和演算できるメディア処理ユニットを内蔵し、専用のメディア命令セットを63個実装しています。高性能マイクロプロセッサと高性能DSPの双方に匹敵する能力を発揮します。

特 長

●位置付け

FR500シリーズのプロセッサコアは、FR-Vファミリの中でメディア処理向けとして位置付けられています。メディア処理向けを特徴づける最大の要素は、16ビット固定小数点データを同時に最大8個積和演算できる、メディア処理ユニットを内蔵していることです。FR500シリーズは、このメディア処理ユニットを利用するメディア命令セットが63個実装されており、それらを用いてMPEGやフィルタ処理などのアプリケーションを実現します。

FR500シリーズの命令セットは、メディア命令に加えて整数（論理演算・ロード/ストア命令・制御命令・コンパイラ支援を含む）命令セットと、浮動小数点演算の命令セットから成ります。浮動小数点命令は、同時に最大4個の単精度浮動小数点を演算できる浮動小数点演算ユニットを用いて、3次元グラフィックスのジオメトリ処理*1などを実現します。

表1にFR500シリーズの発行命令パターンを示します。

FR500シリーズは、同時に最大4つの命令を発行できるVLIW*2アーキテクチャを採用しており、整数命令とメディア命令、または浮動小数点演算命令を、それぞれ最大2個発行できます。整数命令とメディア・浮動小数点命令は、それぞれ64本の演算用レ

表1 FR500シリーズ 発行命令パターン

VLIW命令	命令 n	命令 n+1	命令 n+2	命令 n+3
命令スロット	スロット0	スロット1	スロット2	スロット3
FR500 実行ユニット (パイプライン)	Integer-0	Float-0 or Media-0	Integer-1	Float-1 or Media-1
	Integer-0	Float-0 or Media-0	Integer-1	
	Integer-0	Float-0 or Media-0	Integer-1	Branch-0
	Integer-0	Float-0 or Media-0	Float-1 or Media-1	
	Integer-0	Float-0 or Media-0	Float-1 or Media-1	Branch-0
	Integer-0	Float-0 or Media-0		
	Integer-0	Float-0 or Media-0	Branch-0	
	Integer-0	Float-0 or Media-0	Branch-0	Branch-1
	Integer-1	Integer-1		
	Integer-1	Integer-1	Branch-0	
	Integer-0	Integer-1	Branch-0	Branch-1
	Branch-0	Float-0 or Media-0	Float-1 or Media-1	
	Branch-1	Float-0 or Media-0	Float-1 or Media-1	Branch-0
	Float-0	Float-0 or Media-0	Float-1 or Media-1	Branch-0
	Float-1	Integer-0		
	Media-0	Integer-0	Branch-0	Branch-1
	Media-1	Float-0 or Media-0		
		Float-0 or Media-0	Branch-0	
		Float-0 or Media-0	Branch-0	Branch-1
		Branch-0		
	Branch-0	Branch-1		
	Control			

ジスタを持つ独立したユニットで同時に実行されるため、FR500シリーズは高性能マイクロプロセッサに匹敵する整数性能を持ちながら、メディア処理性能においても高性能DSPに相当する能力を発揮することができます。

図1にFR-VファミリのMOPS/MIPSマップを示します。

DSPは信号処理に特化しており、システム制御や整数系処理が苦手です。またマイクロプロセッサは、整数系の命令を拡張してメディア処理を導入したために、実効的な性能を引き出せません。FR500シリーズはこれらの問題点をクリアし、双方の利点を必要とする用途へ向けて開発されています。

* 1 : 座標変換、光源計算など、描画の前に行う主に座標データの演算。

* 2 : VLIW : Very Long Instruction Word (超長命令語)。実行前に並列実行可能な命令を抽出しておき、プロセッサはその指示のみに従って実行する形態。対するスーパースカラ方式のプロセッサは、実行時にハードウェアが並列実行可能な命令を判断する。

●ターゲット市場

FR500シリーズを用いることで、ソフトウェアによるメディア処理が低コストで実現できます。さらにネットワーク対応や高度なGUIなど、メディア処理においても高性能な整数・浮動小数点能力への要求が強くなっています。例えば、インターネットとの通信を行いながらコンテンツに応じた圧縮形式で画像を展開し、3次元表示のアイコンを付加して表示するような用途です。FR500シリーズはこうした要求に対して、整数性能と浮動小数点・メディア性能を両立させることで、マイクロプロセッサ + DSPに比べ効率的なソリューションをご提供します。

またFR500シリーズのマイクロプロセッサコアは、アプリケーションで必要とされる性能レンジや機能に応じてスタンドアロン、アクセラレータ³、ハードウェアアシスト付加など多彩な形態が選択可能で、広範囲の要求仕様へ応じることができます。

FR500シリーズが想定する市場は、次のような分野です。

- ・ イメージング：カラーLBP，マルチファンクションプリンタ，マルチメディアプリンタ
- ・ メディア処理/グラフィックス：車載マルチメディア端末，デジタルTV，インターネット端末

* 3 : ホストCPUにFR500を接続し、ホストCPUがFR500へ処理を依頼する形態。それぞれ得意な処理を分担する。FR500の最初の実装であるMB93501は、停止中でもホストCPUが内蔵リソース（キャッシュやレジスタ）へアクセスできる機構を持ち、効率的にホストCPUの処理を引き渡すことが可能。

●製品展開

MB93501はFR-Vファミリで最初に実現された製品で、FR500シリーズとしても初めての製品となります。MB93501は主にコア（キャッシュ含む）とBUSインタフェース、メモリインタフェースから成るCPUタイプの製品であり、外部にBUSブリッジや周辺回路を接続して利用します。イメージングなど大容量のデータ転送が不可欠な用途で、ASICを用いた高性能システム構築に利用しやすいという特長を持っています。

図2にFR-Vファミリのロードマップを示します。今後のFR500シリーズは、図に示すような方向を目指します。

・ SoC⁴化：周辺回路やアプリケーション特化機能を1チップ化

図1 FR-VファミリのMOPS/MIPSマップ

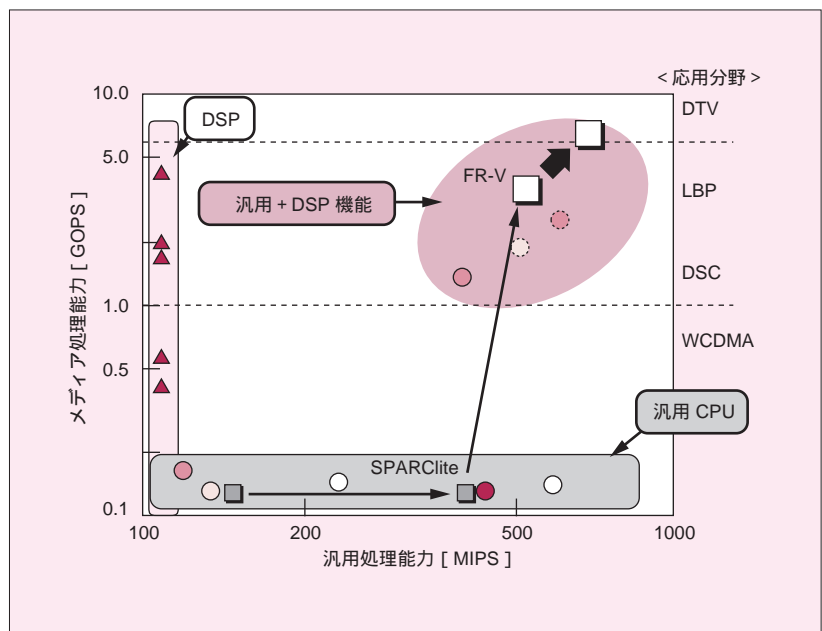
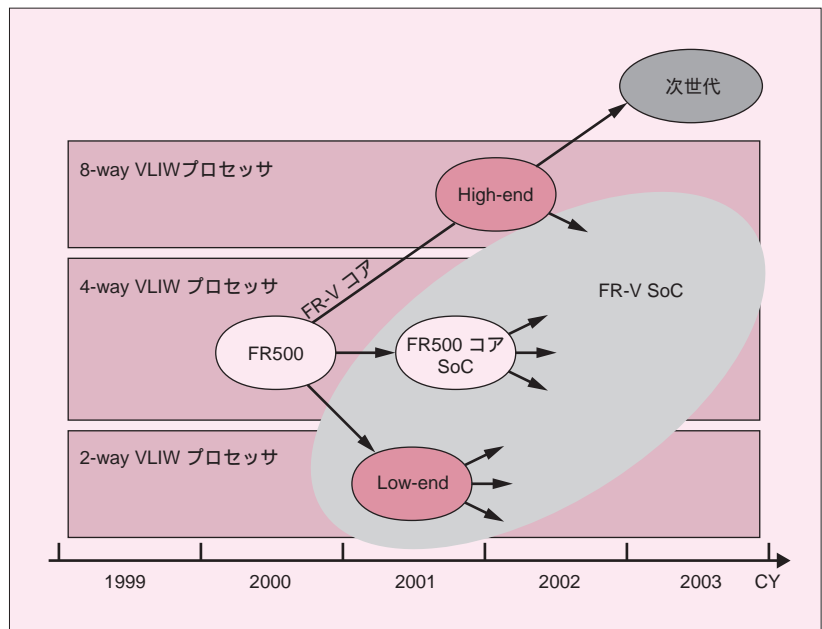


図2 FR-Vファミリロードマップ



- ・高性能化：動作周波数やキャッシュ，命令発行機構などを改良して高性能化
- ・低電力化：省電力設計，省電力モード，低電圧動作などを導入

* 4：SoC：System on Chip。システムに相当する規模の回路を1チップに内蔵したもの。特定の顧客やアプリケーションに適応した仕様を持つ。

MB95301の実装

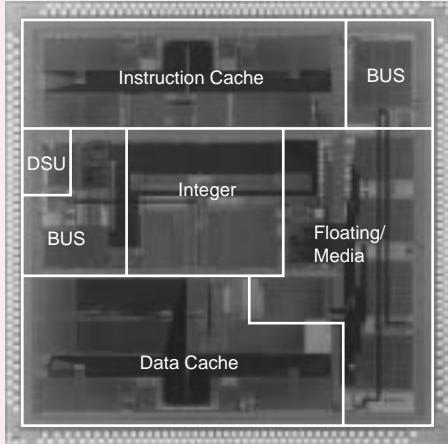
● 内部構成

図3にMB95301のチップ写真と機能諸元を，図4にブロック図を示します。図4で太枠に囲まれた部分がチップに含まれるブロックで，BGA352パッケージに内蔵されています。

MB95301には次のような特長があります。

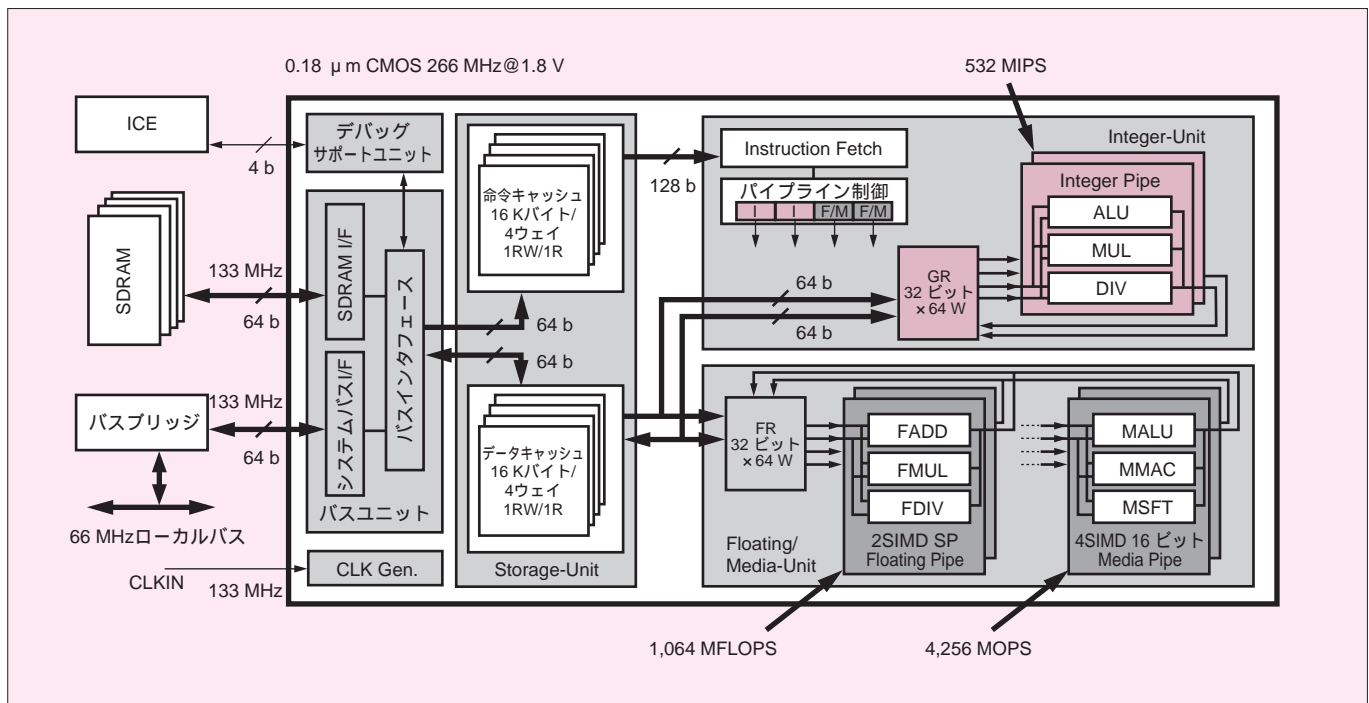
- ・FR500シリーズのプロセッサコアを内蔵しており，メディアやイメージ処理，3次元グラフィックス処理において高性能を発揮します。
- ・同時に2つの命令プリフェッチを行う命令キャッシュと，2つのロード動作を可能とするデータキャッシュを内蔵します。データキャッシュは，キャッシュミス時もCPUを停止させないノンブロッキング動作が可能で，コピーバックとライトスルー動作を選択できます。
- ・133MHz/64ビットのSDRAM専用メモリバスと，133MHz/64ビットの周辺回路インタフェース用システムバスを独立して持っています。これにより，外部のデータ転送に遮られることなくCPUがメモリアクセスを行えます。
- ・256Mビット/PC133までのSDRAMへ対応するSDRAMコントローラを内蔵し，内部でCPUコアおよびシステムバスインタフェースと直結されています。そのため，最小のレイテンシで効率的なメモリアクセスを実現できます。
- ・システムバスは，データを待たずに次のアドレスを送出できるパイ

図3 MB95301機能諸元



- ・アーキテクチャ：4並列実行型VLIW
- ・クロック：266 MHz
- ・ピーク性能：532 MIPS
1064 MFLOPS
4256 MOPS
- ・消費電力：2.0 W (コア1.5 W)
- ・トランジスタ数：6.7 M Tr.
- ・プロセス：0.18 μ m CMOS
- ・パッケージ：352ピンPBGA

図4 MB95301ブロック図



ブライン制御を採用しています。この機構により、転送トランザクションの隙間を最小にして実効性能を向上しています。

- ・システムバスから、メモリ空間に割り当てられたSDRAMや内蔵レジスタへ自由にアクセスできます。システムバスは、CPU SDRAM間と同等の転送能力を持っていますので、大量の画像データを入出力するようなシステムに適しています。
- ・動作状態に応じた2種類のパワーダウンモードをサポートします。PLLのみ動作させ、SDRAM内容を保存したまま短時間で再起動可能なモードを利用できます。
- ・デバッグサポートユニット（DSU）を内蔵し、JTAG ICEと同様の信号で外部のICEユニットと通信を行います。DSUにはブレークポイントやリアルタイムトレース機能があるため、フルスピードかつキャッシュオンでもデバッグが可能です。

●システム構成方法

図5にMB93501を用いたシステム構成の概略を示します。

MB93501のシステムバスは直接メモリや周辺LSIへ接続できないため、コンパニオンチップやASICで比較的低速のバスへ変換されます（PCのノースブリッジに相当）。このノースブリッジ部分は高速なシステムバスでMB93501と接続されているため、例えばソフトウェア処理をアシストするような回路を、最小限の転送オーバーヘッドで接続することが可能です。

当社では、ノースブリッジ部分のASICを開発されるお客様のために、MB93501システムバスとのインタフェースマクロや割込コントローラマクロを開発しました。これらは、当社よりソフトマクロとしてご提供します。また、実際にMB93501へ接続し動作できる機能評価用チップも準備しています。

図6にコンパニオンチップのブロック図を示します。

図7に、実際に動作するシステム事例として、評価・開発システムFR-V Design Kit（VDK）の構成を示します。VDKでは、コンパニオンチップで変換された高速ローカルバスをPCIおよび外部拡

図5 システム構成図

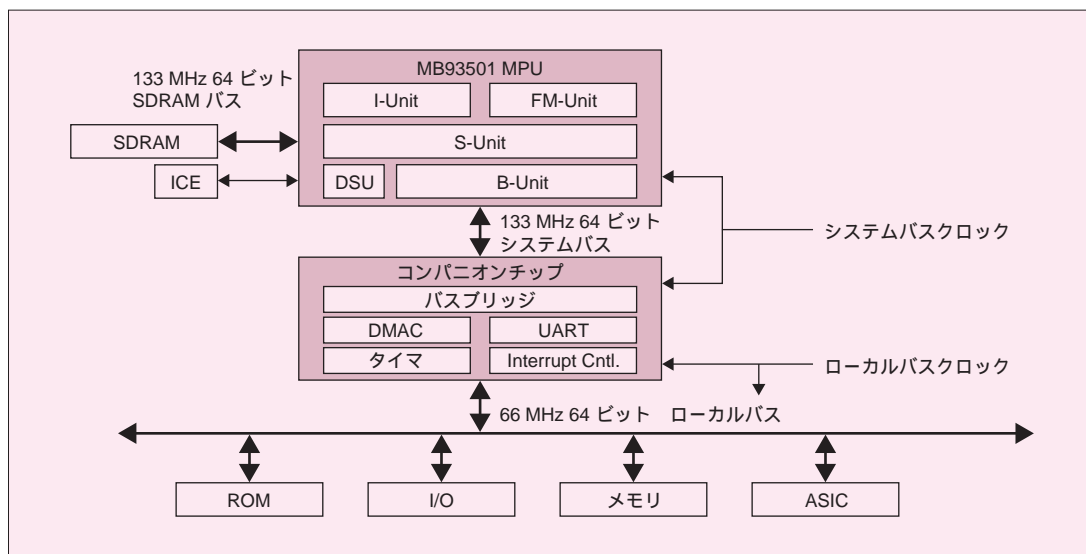
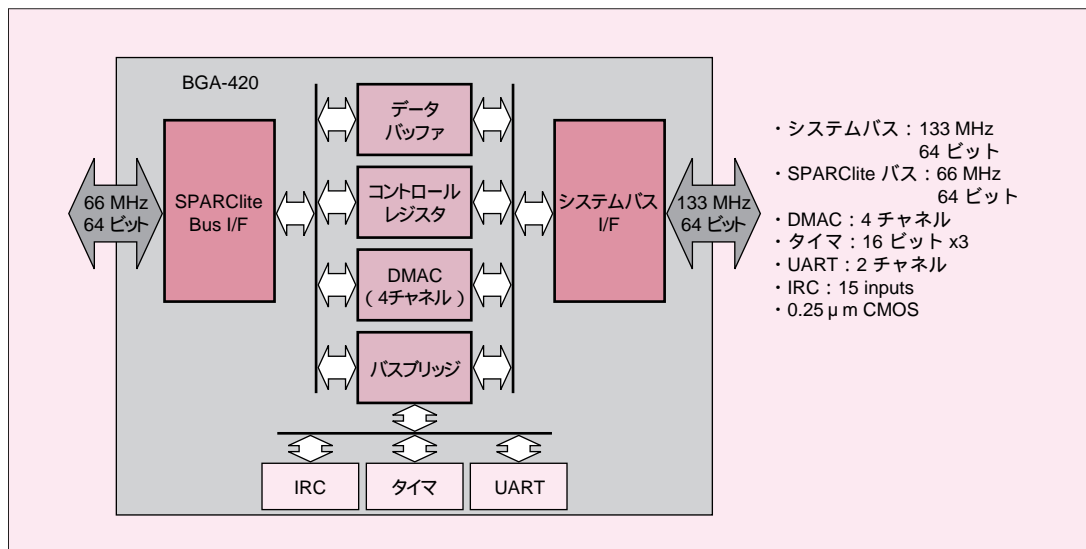


図6 コンパニオンチップ ブロック図



張コネクタへ接続し、さらに低速メモリや周辺LSIを接続するために低速ローカルバスへ変換して利用しています。実際の高性能システムでは、低速周辺回路の転送効率を上げる（バス占有時間を短くすること、高速バスの引き回しを最小限にするため、適切なバスの分割をノースブリッジASICで実現することをお勧めします。

MB95301の応用例

●イメージング

カラープリンタやデジタルコピーで用いられるイメージングの主な処理内容は、次のようなものです。

- ・空間フィルタ
- ・解像度変換（拡大・縮小）
- ・色変換
- ・階調変換（誤差拡散、ディザ）

カラー画像の場合、これらの多くは色要素ごとの並列演算が可能です。さらに、多くの場合は複数ピクセルを並列に演算できます。MB93501が持つメディア命令は、4つの16ビットデータのSIMD演算*5を2種類独立に指定できますから、このような並列性の高い処理に適しています。

例として、図8にSIMD演算の応用例を示します。空間フィルタ等において、色要素ごとに並列演算する場合を示しており、24ビットパックドピクセルの色要素をそれぞれ係数と乗算しています。実際に行われるシーケンスは次のようになります。

- a) 8ビット×4のデータを16ビット×4のSIMDデータへ変換（演算精度の確保）
- b) 必要であれば補正等のSIMD演算

- c) SIMDデータの乗算（または積和・積差）
- d) a) - b) を必要回数だけ繰り返し
- e) アキュムレータの任意ビット位置から32ビットデータを丸めながら抽出
- f) 4つの32ビットデータを16ビット×4のSIMDデータへ変換（パッキング）
- g) 16ビット×4のデータを8ビット×4のSIMDデータへ変換

* 5 : SIMD : Single Instruction stream ,Multiple Data stream。1つの命令で複数のデータへ同時に演算を施す機構を示す。データ間に依存関係がなく、同じ演算を多くのデータへ施す処理に適している。

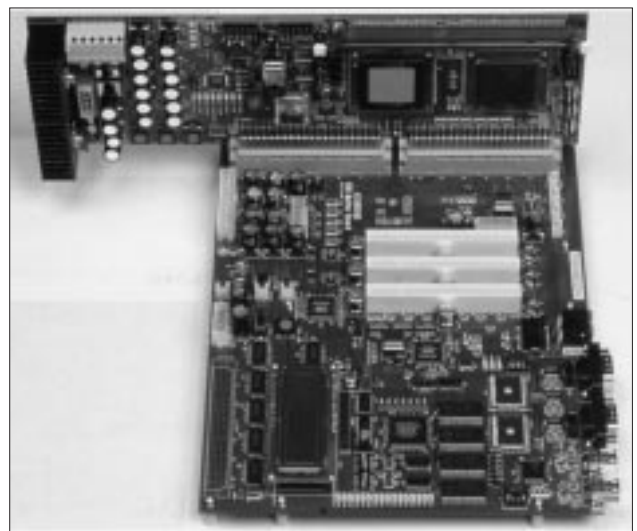
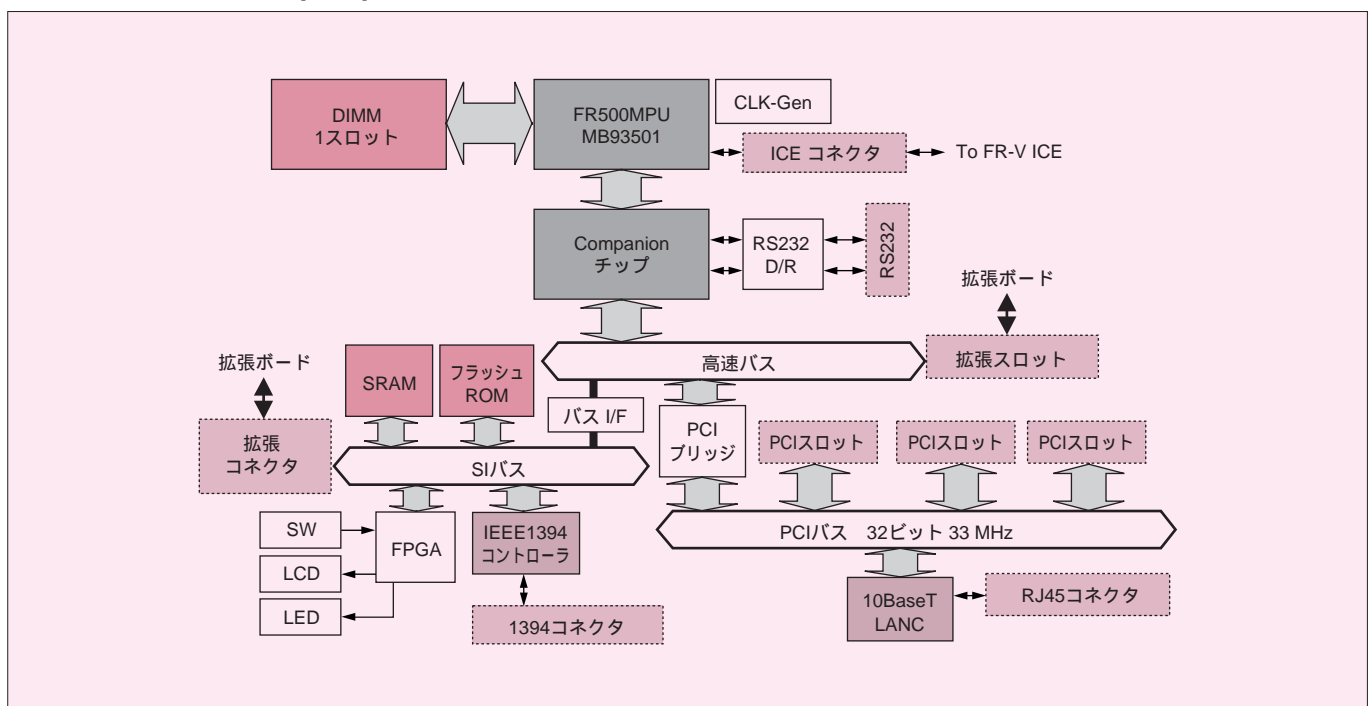


写真1 VDK

図7 FR-Vデザインキット (VDK)



MB93501は前述のシーケンスを2並列で実行できるため、合計8ユニットの積和ユニットをフルに利用した処理を実現できます。例えば2本のラスタについて、各色のデータをそれぞれ同時に処理することが可能です。

現在の多くのイメージング機器では、前述の処理をほとんどハードウェアで実現しています。MB93501はそれらの一部、または全部をソフトウェアに置き換えることで、システム全体のコストを低減します。さらに、リアルタイムOSと制御プログラムを搭載することで、システムコントローラ機能をも吸収することが可能です。例えば、同じMB93501を用いて上位機種はイメージ処理を強力に専用回路でアシストし、下位機種はほとんどをソフトウェアで実現すれば、製品ラインアップを効率的に展開できます。

図9・10に、マルチファンクションプリンタ上位機種・下位機種で

図8 SIMD演算の応用例

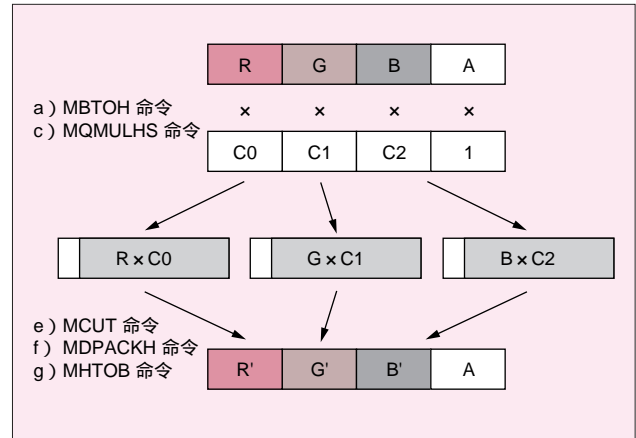


図9 マルチファンクションプリンタ上位機種 ~専用回路で強力にアシストした例

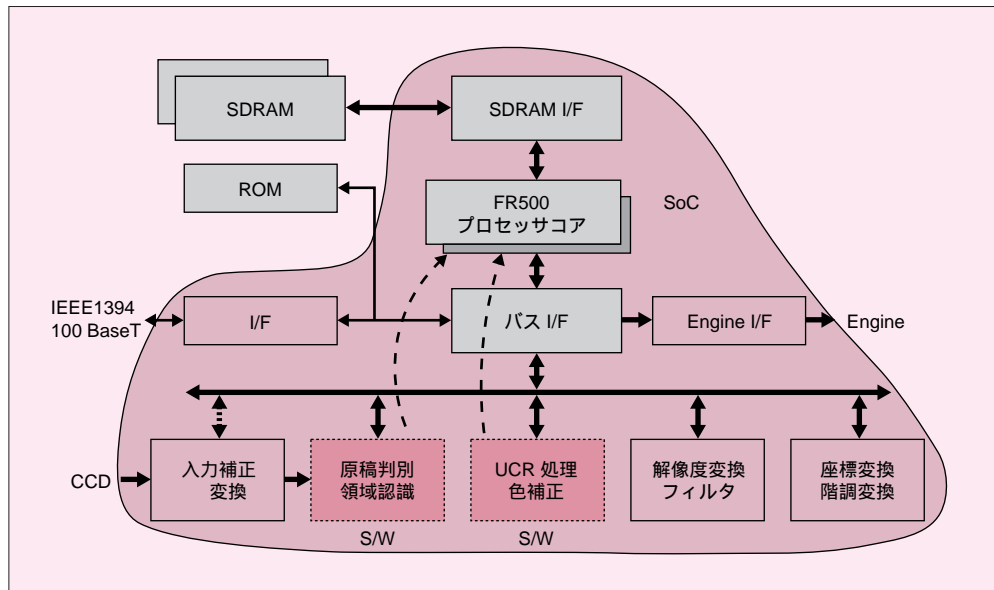
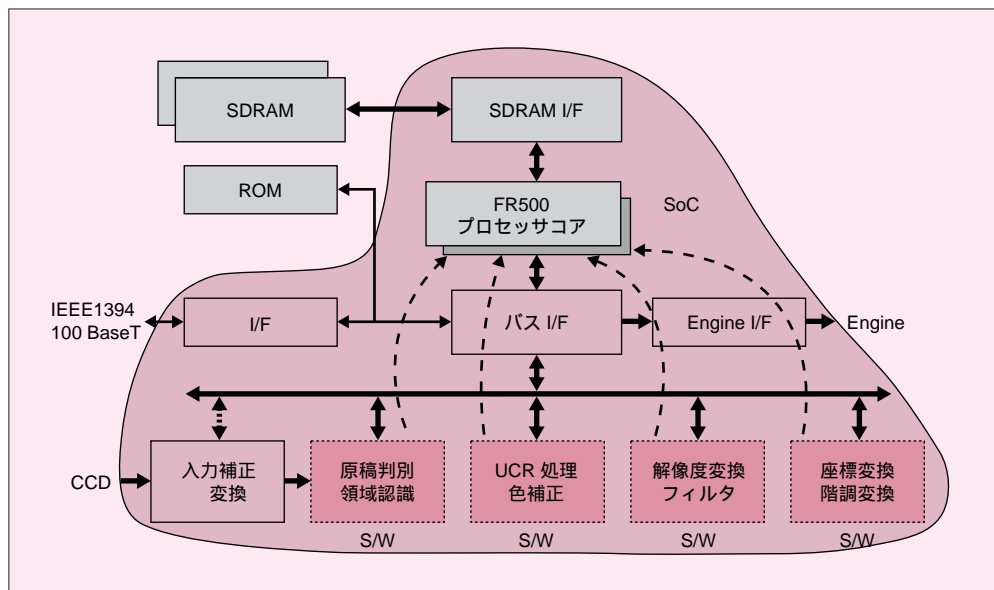


図10 マルチファンクションプリンタ下位機種 ~ソフトウェア化した例



MB93501を利用した例を示します。

●メディア処理

デジタルTVなど、メディア処理の分野で用いられる主な処理内容は、次のようなものです。

- ・ MPEG-2 (MP@ML, MP@HL)
- ・ MPEG-4
- ・ JPEG
- ・ MPEG Audio

これらの処理では、DCT*6に代表される並列演算が有効な部分と、ハフマン符号処理*7に代表されるデータ並列性のほとんどない部分が混在しています。そのため、メディア命令だけでは全体の性能を飛躍的に向上させることができません。また動画が中心になるため、MP@HLクラスの解像度では膨大な演算能力が要求される傾向があります。

現在、MB93501上ではMPEG-4 Visual (Simple Profile/QCIF) デコーダが、最高性能のわずか数%で動作しています(図11)。これは、メディア命令の能力を活かすとともに、メディアと整数命令の処理並列度を高めたため達成されました。今後は、より解像度の大きいMPEG-2 MP@HLへと向けて開発を継続し、最小限の専用回路を用いて多様な画面フォーマット、プロファイル、付加サービスに対応したユニバーサル・デコーダを目指します。

* 6 : 離散コサイン変換 (Discrete Cosine Transform)。8 x 8のピクセルとcos係数を積和する直交変換の一種。線形量子化と組み合わせて、不可逆型の圧縮に用いられる。

* 7 : 出現頻度に応じた符号長を割当て、平均符号長を最小にする可変長の符号化方式。線形量子化で符号の出現頻度に偏りが出ることを利用して、可逆型の圧縮を行う。

図11 MPEG-4 Visual ソフトウェアデコード

