

# 論理回路設計統合システム PROVERD<sup>®</sup> シリーズ

HDLエントリ，論理合成，Verilog/VHDLシミュレータ，フロアプランを搭載した，設計統合システムPROVERD<sup>®</sup>シリーズをご紹介します。RTLシミュレーションから論理合成，フロアプラン，ゲートレベルシミュレーションまで，すべてWindows上で動作します。

## はじめに

PROVERDは，近年，高性能・安価になったWindows PCを採用し，Windows上で論理設計回路の統合システムを構築しています。

図1にシステム全体図を示します。

## システム概要

PROVERDシリーズは，RTLシミュレーションから論理合成，フロアプラン，ゲートレベルシミュレーションまで，すべてWindows上で動作します。

図2にPROVERDシリーズの一般的な作業の流れを示します。

## デザインエントリ概要 (VLG/VHD/BIL)

デザインエントリは，論理回路データを作成・編集するエディタで，上位ブロックからの階層設計が可能です。論理図の編集時に，シンボルエディタを呼び出してシンボルを作成・編集し，このシンボルをそのままユーザマクロとして，上位ブロックの論理回路図中で使用することができます。

また，下位レベルの論理回路データは，スキマティックデータとして入力することも，テキストエディタを呼び出して，HDLデータとして編集することも可能です。マルチウインドウ機能により，各ブロック間編集（コピー/ペースト）も可能です。論理図の表現として，ネットやピンのバンドル表現，マルチシンボル表現をサポートしています。作成された論理回路データはVerilog/VHDLおよび富士通フォーマット変換が可能です。

## HDLエントリ (ESD)

HDLエントリは，HDLのトップダウン設計を提供するハイレベルデザインエントリシステムのINNOVEDA社VisualHDLを搭載しています。

ブロックダイアグラム，フローチャート，ステートマシン等の豊富なグラフィカル機能を用いたRTL設計が可能です。検証面では内蔵シミュレータによるデバッグ環境，さらにデータ管理までも実現しています。また，HDLテキストからグラフィックへの変換ができますので，設計資産の再利用，IPモデルの解析が可能です。入力したすべてのデザインは，論理合成ツールやシミュレータ仕様に基つき，そ

図1 システム全体図

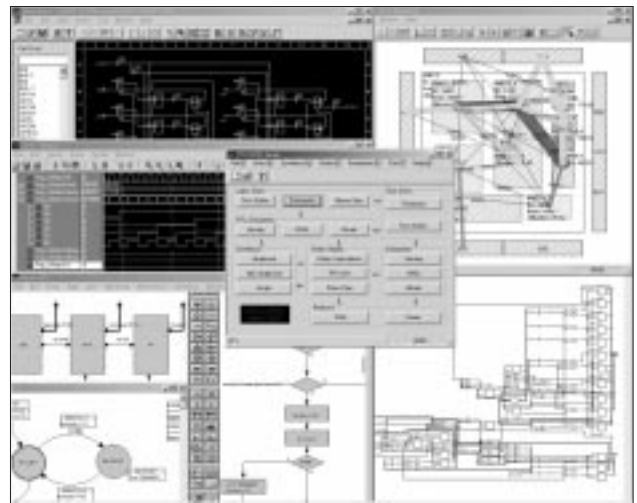
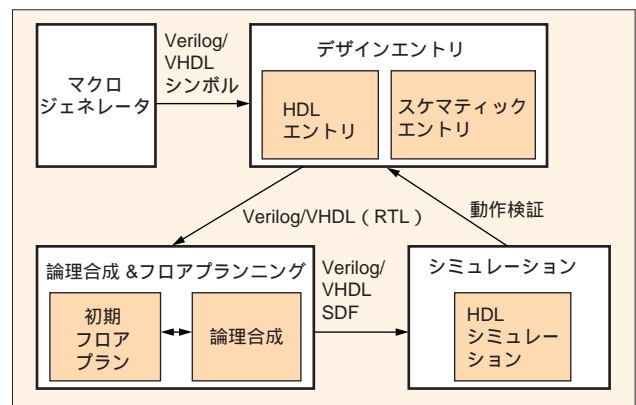


図2 PROVERDシリーズの流れ



れらの言語特性を最大限に生かした形でVerilog/VHDL出力を行うことができます。さらにHTML出力によるドキュメンテーション機能も兼ね備えています。

## 論理合成システム (SYN)

論理合成システムは，EXEMPLAR LOGIC社のASICおよびFPGA設計のための論理合成ツールLEONARDOを搭載しています。

LEONARDOはVerilog/VHDLのRTLソースやゲートレベルネットリストを読み込んで、ASICおよび各種FPGAのアーキテクチャに最適化されたネットリストを出力します。操作面では、ユニークなフローガイドがあり、ダイアログボックスやメニューを通じてインタラクティブに操作することが可能です。そしてすべての階層レベルにおいて、それぞれ異なる制約条件を与えながら対話的に論理合成と最適化を行うことができます。また、GUIはTcl/Tkベースで構築されていますので、容易にカスタマイズすることが可能です。

合成面では、HDLに記述された論理階層を崩さずに合成することも可能ですが、合成の効率を上げるため、階層を崩したり新たに階層を増やすことがGUIで簡単に行えます。また、遅延値はルックアップモデリングによるノンリニア遅延モデルを採用し、より正確なセル素子遅延情報の把握が可能です。

タイミング解析では、自動生成図面上にクリティカルなパスをハイライト表示させるだけでなく、具体的な数値目標をメニューに入力してタイミング最適化することができます。

## OVI準拠シミュレータ (VLG)

VHDLと共に実質的世界標準 (IEEE1364) であるVerilogとの互換性を保持した、INNOVEDA社のFusion/VCSiを搭載しています。

このシミュレータはSDFサポートにより、高精度なゲートレベル・シミュレーションが可能であり、富士通サインオフシミュレータとして認定されています。

また消費メモリの低減かつ高速処理を実現しています。シミュレーション結果解析にはBack Trace機能を有したグラフィカルシミュレーションアナライザ、ソースコードデバッガ、エラー解析エディタを提供しています。

## VHDLシミュレータ (VHD)

VHDLシミュレータは、世界標準 (IEEE1076-87, IEEE1076-93), VITAL95に準拠したMentor社のModelSim/VHDLを搭載しています。このシミュレータはダイレクトコンパイル手法をとっており、高速コンパイル、プラットフォームに依存しないオブジェクトコードの生成、高速シミュレーションを実現しています。シミュレーション解析のための各種デバッグウィンドウ (ストラクチャウィンドウ、ソースウィンドウ、信号ウィンドウ、プロセスウィンドウ) は相互リンクしています。またこれらのウィンドウは、Tcl/Tkによるユーザカスタマイズが可能です。

## Verilog/VHDL混在シミュレータ (BIL)

Verilog/VHDL混在シミュレータは、Mentor社のModelSim/PLUSを搭載しています。このシミュレータは、VHDLシミュレータと同様の特長に加え、シングルカーネルによりハイパフォーマンスを実現しています。

さらに設計資産を有効利用できますので、事業部間、会社間リソースの結合ベンダ提供のコアモデルとの結合、ボードレベルシミュレーション (ASIC:Verilog HDL/SSI:VHDL他) を可能にします。

## テストエディタ概要 (VLG/VHD/BIL)

テストエディタは、論理シミュレーション用のテストデータを作成す

るためのエディタで、ウェーブ形式またはベクタ形式による入力が可能です。作成されたテストデータは、Verilog/VHDLおよび富士通フォーマットに対応しています。

## フロアプラン概要 (TAP)

設計の初期段階においてフロアプランを導入することで、モジュールの容量に合ったレイアウトブロックの見積りが可能です。また、従来一律に割り振られていた配線容量に比べ、フロアプランが算出するモジュール間の配線容量とモジュール間の遅延をもとに、クリティカルパスを含むモジュールを意識して隣接させることで、クリティカルパスの配線容量と遅延が減少します。結果としてチップ全体のクロックアップにつながります。さらに、論理合成システムとの連携が行え、論理合成前のRTLレベルのフロアプランと、論理合成後のゲートレベルのフロアプランの双方を実現しています。また、レイアウトシステムへは、フロアプラン情報をPDEFファイルを介して連携し、レイアウト後のタイミングエラーを減少させます。

## その他のユーティリティ

既存の資産を有効利用するため、豊富な言語変換ツール (VerilogHDL/VHDL/富士通フォーマット) をサポートしています。また、富士通ASICを設計する際に必要な、設計ルール検証 (LDRC)、遅延計算 (DelayCAL) によるSDFサポート、パス解析 (PathAnalyzer) および、RAM/ROM等のライブラリ生成機能を提供しています。

## PROVERD® シリーズの製品構成

- ・ PROVERD/VLG : Verilog互換シミュレータ搭載 (VCS-i or Polaris)
- ・ PROVERD/VHD : VHDLシミュレータ搭載 (ModelSim/VHDL)
- ・ PROVERD/BIL : Verilog/VHDLシミュレータ搭載 (ModelSim/PLUS)
- ・ PROVERD/ESD : HDLエントリツール搭載 (VisualHDL)
- ・ PROVERD/SYN : 論理合成ツール搭載 (LEONARDO)
- ・ PROVERD/TAP : フロアプランツール

## 動作環境

PROVERDシリーズの動作環境 (推奨) は次のとおりです。

- ソフトウェア
  - ・ OS : Windows NT4.0/Windows98
- ハードウェア
  - ・ CPU : Pentium 200MHz 以上
  - ・ メモリ : 96Mバイト以上

### お問い合わせ先

富士通LSIテクノロジー株式会社 営業技術課  
 TEL 044(812)8048 FAX 044(812)8066  
 E-mail: pro\_sales@flt.fujitsu.co.jp  
 ホームページ <http://edevice.fujitsu.com/flt/>

\* 記載された製品名およびブランド名は、各社の商標または登録商標です。