

富士通のASIC向け超高速ネットワーク技術 超高速(2.5Gbps)インタフェース技術

2.5Gbpsの超高速でデータの送受信、クロックのリカバリが行える技術です。ASICのマクロとして開発を行っています。チャンネルあたりの消費電力が100mW以下と小さく、多チャンネルを集積できます。

概要

インターネットの飛躍的な普及、要求データバンド幅の急激な増大に伴い、超高速インタフェースへの需要が高まっています。特に라우タやスイッチは、テラ(10¹²)ビット、さらにペタ(10¹⁵)ビットを扱うために、超高速でかつ多くの信号本数を必要とします。

・ バンド幅 = チャンネル当たりデータレート × チャンネル数

データバンド幅が大きくなると、低い周波数でデータを扱うことが大変困難になります。例えば、1チップで160Gbpsを扱うためには、156Mbpsと2.5Gbpsでは次のような違いがあります。

● 156Mbpsの場合

・ 160Gbps/156Mbps = 1024

・ 1024チャンネル × 2 (入出力) = 2048本 (シングルエンド)

2048本の信号線が必要です。さらに制御用の信号と電源線も必要なので、3000~3500ピンのパッケージが必要となります。これはコストの面からは非現実な値です。消費電力も大きくなり、システムコストの大幅な上昇につながります。また、これ以上の高データバンド幅化に対応することは不可能です。

● 2.5Gbpsの場合

・ 160Gbps/2.5Gbps = 64

・ 64チャンネル × 2 (入出力) × 2 (差動) = 256本

256本の信号線が必要です。また制御用の信号と電源線も必要ですが、1000ピン程度のパッケージで十分に対応できます。したがって、これ以上の高データバンド幅化にも十分対応可能です。

少ないチャンネル本数が扱える超高速ASSPIは既に市場に出始めているますが、チャンネル数の多いものはピン数や消費電力の点から向いていません。本技術では低消費電力でASICに搭載可能なマクロが作れますから、多チャンネルを1チップに集積して、システムのデータ幅を大きくするのに適しています。

図1に超高速インタフェースCMOS化の利点を示します。

特長

- 622Mbps, 1.25Gbps, 2.5Gbps対応
(同一マクロで、信号により切替え可能)
- 単一外部クロック (レファレンス・クロック)
- 40Gbps/マクロ (2.5Gbps × 16チャンネル)
(複数マクロでさらに高データレートを扱えます)
- CDR内蔵*1
- PCMLレベル差動信号 (LVDS対応予定)
- バック・プレーン, 銅線ケーブル, 光モジュールSONET*2対応予定
1/4/8/16チャンネル対応
- 1チャンネル (送受信, 2.5Gbps時) あたり約150mWの消費電力 (使用しないチャンネルのみのパワーダウンが可能)
- 1:16 SERDES*3 (8B/10Bのために1:10も対応予定)
50 終端抵抗内蔵
- loopbackを使ったセルフテスト (PRBS*4発生器/比較器を内蔵)
- 電源電圧: 1.8Vおよび3.3V
- 0.18 μm CMOS (CS80A)
- 標準のASIC設計フローに対応
- Verilog/VHDL, Synopsys DCライブラリ

* 1 : CDR (Clock Data Recovery) :

信号からデータとクロックを取り出すこと。クロックを別途に送らなくてすむので、シリアル (直列) 信号の伝送に適している。

* 2 : SONET (Synchronous Optical Network) : 同期式の光通信の規格。

* 3 : SERDES (Serializer Deserializer) :

周波数の高いシリアル (直列) データを周波数の低いパラレル (並列) データに変換・逆変換すること。

1ビット-2.5Gbps 16ビット-156Mbps

* 4 : PRBS (Pseudo Random Bit Stream/Binary Sequence) :

発生器/比較器。擬似的にランダムな信号を発生させ、高周波数の信号の動作を確認するための回路。

本トランシーバ (送信・受信) マクロは、ASIC用に開発され、超高速のポイント・ツー・ポイントのデータ伝送が可能です。伝送

路としては、プリント板、銅線、光モジュールを対象にしています。
 622Mbps ~ 2.5Gbpsのクロック発生、データの直列化、並列化、
 クロックの抽出に対応しています。同一システム内で、データ/クロ

幅のアップグレードも可能です。

図2と図3に2.5Gbpsのシリアルインタフェースとパラレルインタフェースを示します。

図1 超高速インタフェースCMOS化の利点

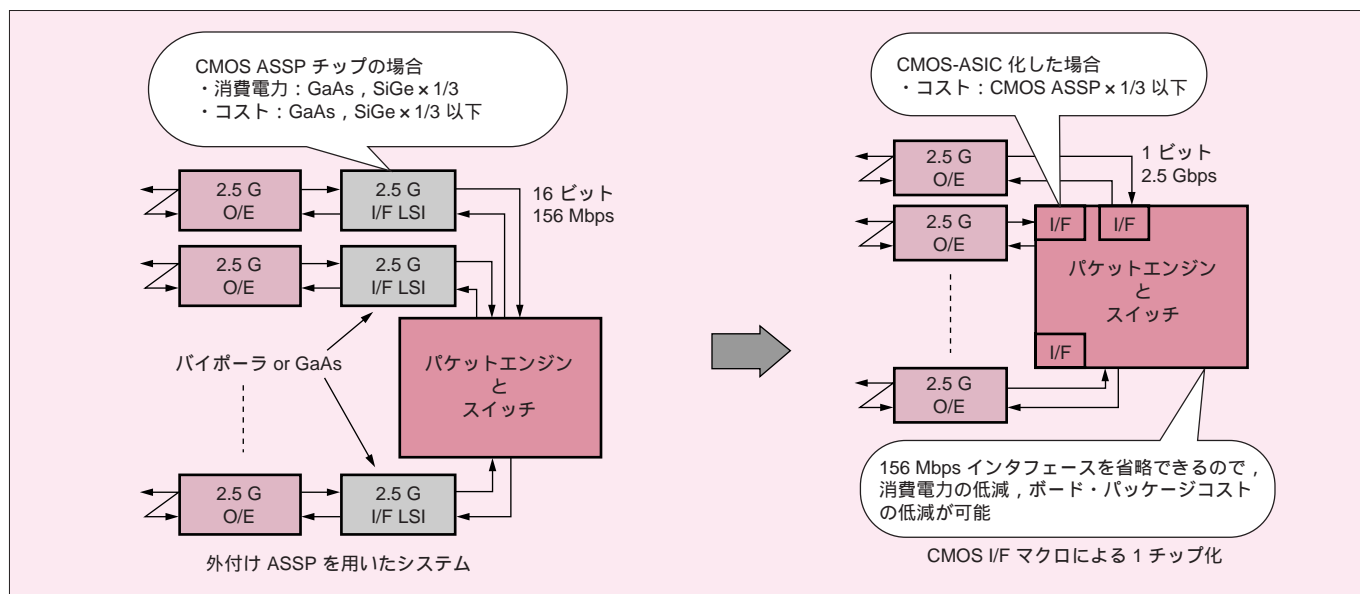


図2 2.5Gbpsシリアルインタフェース

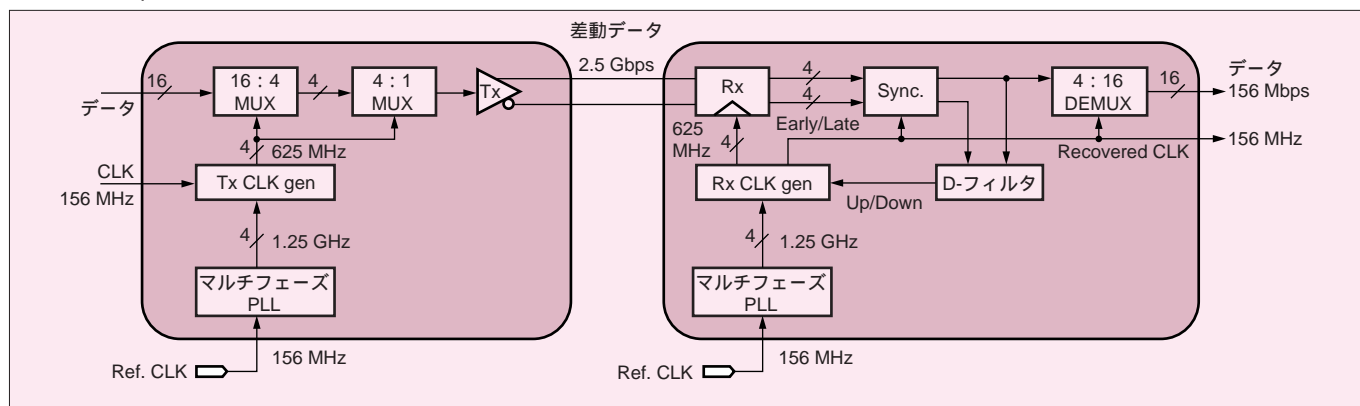
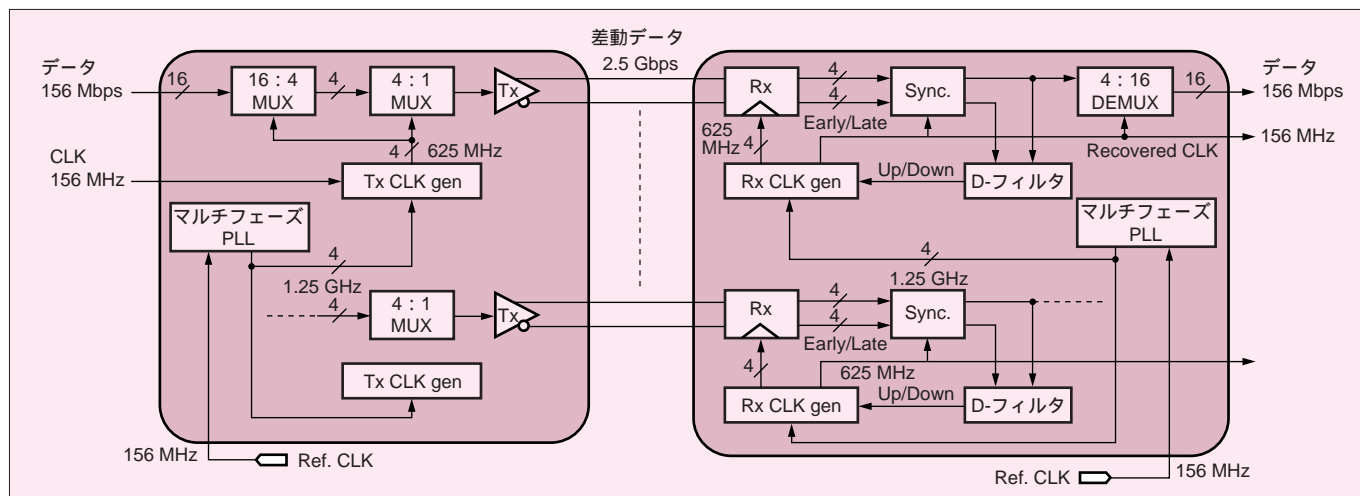


図3 2.5Gbpsパラレルインタフェース



現在は、1:16のSERDESですが、8B/10Bに対応するために、1:10も開発中です。

本製品は、チャンネル当たりの消費電力が約150mWと小さいので、多チャンネルの集積が可能です(64チャンネル、7MゲートのASICを現在開発中です)。LSIコスト、ボードコストもASSPを多数使う場合より低くなります。また、チップ内に自己テスト用の回路を内蔵しているので、アト・スピードでのループバック試験を量産試験でも行うことができます。

図4と図5に実測結果を示します。

今後の展開

今後は、さらに次のような機能の強化を目指します。

- **クロック並走(シンクロナス)**: 2.5Gbps ~ 3.125Gbps (OIF SFI-5準拠)
- **0.11 μm対応** (2.5Gbps ~ 3.125Gbps)
- **さらなる高速化対応**: 10Gbps ~ 12.8Gbps, 0.11 μm (図6)

図5 PLLの特性

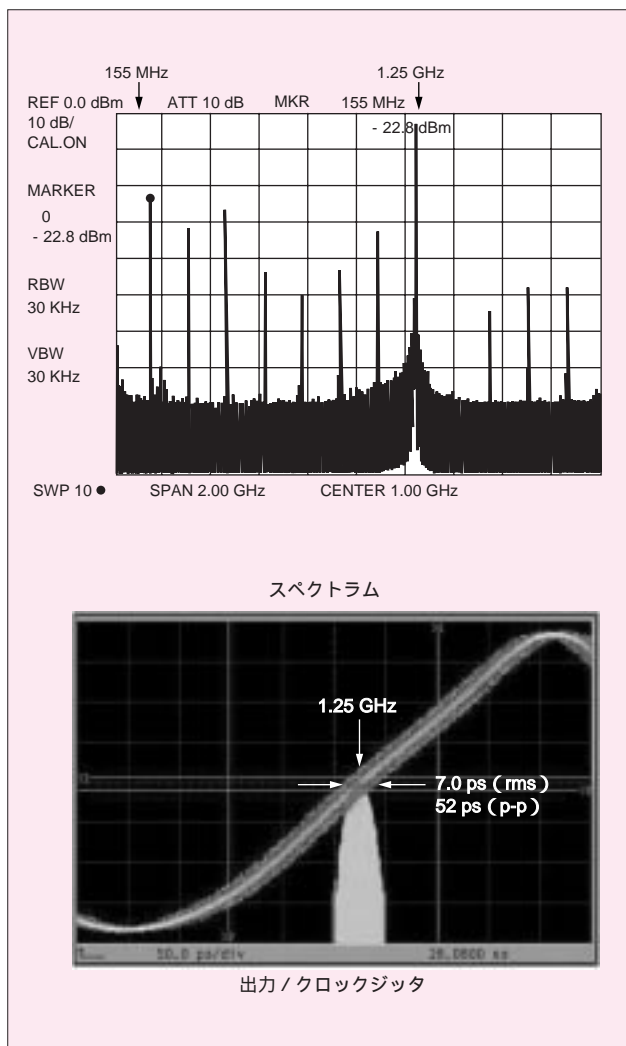


図4 2.5Gbps トランシーバのアイパターン

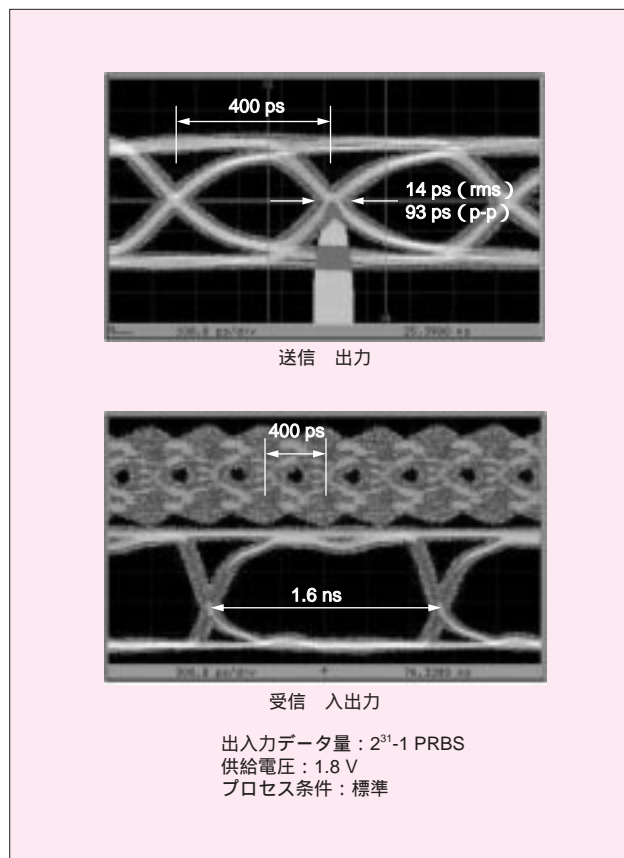


図6 データレートとデバイス技術のトレンド

