

ウェーハ ファウンドリ サービスのご紹介

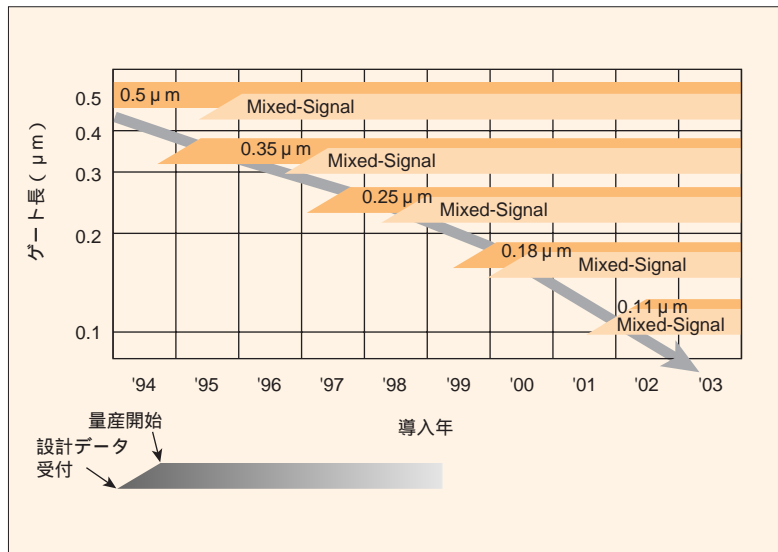
当社のLSI工場が、お客様のLSIの製造を受け持ちます。総合半導体メーカの工場ですので、ウェーハプロセスだけでなくウェーハ試験、組立て、LSI試験までを一貫して行うことができます。

はじめに

当社の半導体ウェーハプロセス国内3工場（岩手・会津若松・三重）は、いずれも高品質な半導体デバイスを安定供給できる実力のある工場です。2000年にオープンした、研究開発の拠点である「あきる野テクノロジーセンター」（東京都あきる野市）ではプロセスラインの建設も始まり、最先端技術である0.10 μmテクノロジーの開発に取り組んでいます。当社では、こうした技術開発の積み重ねにより、次々と次世代のLSIを製造する技術を確立してきました（図1）。

当社では、このような製造技術をご提供するサービスとして、1980年代に特定のお客様を対象にウェーハ ファウンドリ サービスを開始しました。以来、経験と実績を積み重ね、現在では国内外を問わず、さまざまなお客様のLSI製造工場として利用していただくまでになりました。

図1 CMOSテクノロジーのロードマップ



岩手工場：ISO9002/14001取得



会津若松工場：ISO9002/14001取得



三重工場
：ISO9001/9002/14001取得



あきる野テクノロジーセンター
：ISO9001/14001取得

サービス概要

ウェーハ ファウンドリとはLSIのウェーハ製造を請け負うサービスのことです。図2は、ウェーハ ファウンドリ サービスとASICとの設計・製造範囲の違いです。ASICと比べてお客様の設計の自由度が高いので、お客様の企画力・設計力で市場競争力のある製品を実現できるという利点があります。

当社では、お客様からレイアウト設計済みのデータをいただき、それを使ってマスク製作とウェーハプロセスを行い、お客様にウェーハで納入することを標準サービスとしています(図3)。

また当社は総合半導体メーカーですので、お客様のご希望により、ウェーハ製造後にウェーハ試験、組立て、LSI試験までを一貫して行うことができます。標準LSIパッケージから先端技術LSIパッケージまで、豊富なラインアップと実績あるパッケージング技術(写真3~5)で、さまざまなお客様のご要望にお応えできます。

テクノロジーラインアップ

表1に、ファウンドリ インタフェースで利用できる基本的なCMOSプロセステクノロジーを示します。本サービスはCMOSロジックを主体としていますが、ほかにCMOS中高耐压テクノロジーやパイポーラ/BiCMOSテクノロジー(表2)もご利用いただけます。

また、表1・表2に示したほかにも、次のようなアプリケーションに特化したプロセステクノロジーをご用意しています。

- マイクロディスプレイ用LSI(LCOS)

当社工場で製造するLCOS(Liquid Crystal On Silicon)の平坦性は、高いご評価をいただいています。

- CMOSイメージセンサ

- 指紋センサ

SiExpress™

当社では、マルチプロジェクトウェーハ*で試作を行うSiExpress™(シリコンエクスプレス 先着用意しています。これは、LSIを当社の標準プロセスで製造して標準パッケージに搭載することにより、通常の試作より早い手番で安く作るサービスです。標準プロセス範囲内で対応できる設計であれば、お客様の商品の早期開発に貢献できます。

* 1枚のマスク内に複数のICを搭載して、1枚のウェーハ上で同時に複数のICを製造する方法。

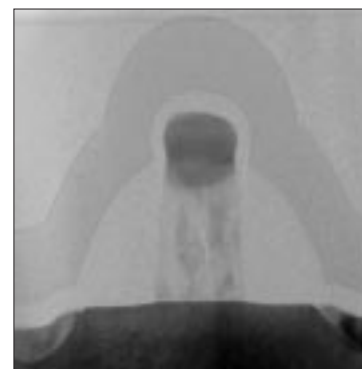


写真1 0.11 μmトランジスタの断面

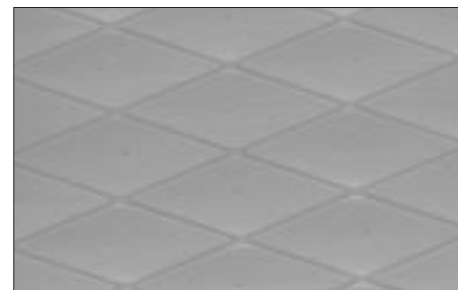


写真2 LCOS

図2 ウェーハファウンドリサービスとASIC

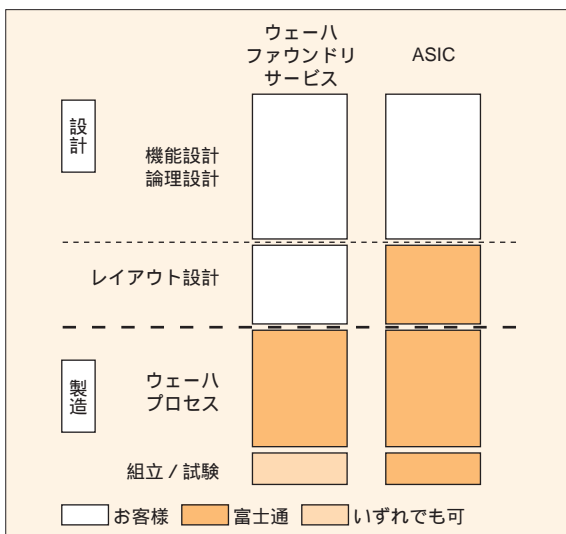
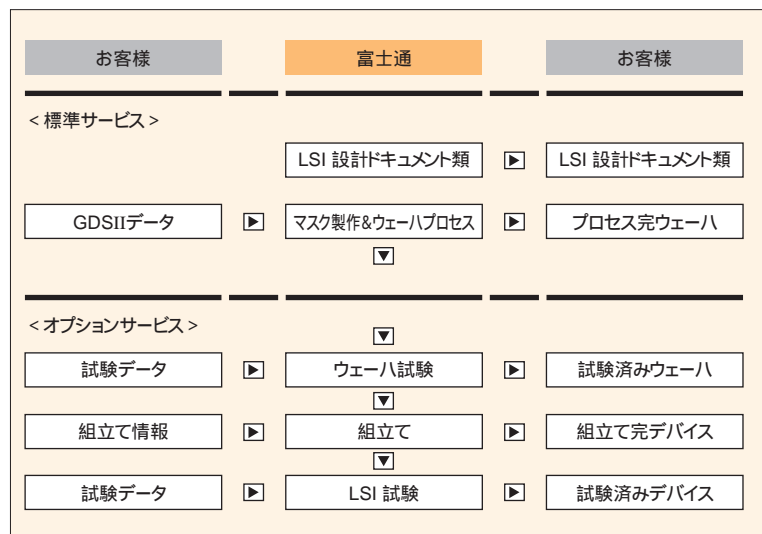


図3 ウェーハファウンドリサービスの内容



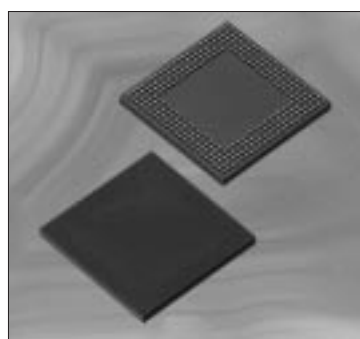


写真3 FBGA

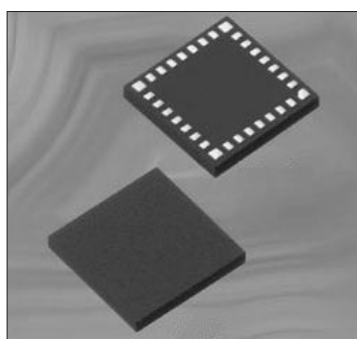


写真4 BCC

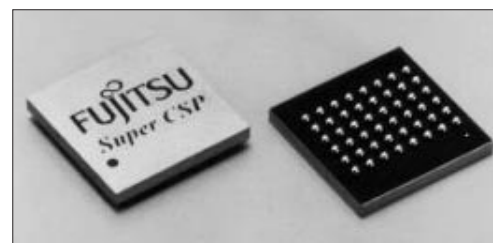


写真5 最先端のウェーハレベル・チップ
サイズパッケージSCSP

表1 CMOSテクノロジーのラインアップ

CMOSテクノロジー		0.11 μm	0.18 μm	0.25 μm	0.35 μm	0.5 μm
供給電圧(V)		1.2	1.8	2.5	3.3	3.3 ^{*1}
利用可能インタフェース(V)		1.2/2.5/3.3	1.8/2.5/3.3	2.5/3.3	3.3/5.0	3.3/5.0
ポリ層・メタル層		1P8M ^{*2}	2P6M	2P5M	2P4M	1P3M
基板		P-sub				
Mixed-Signal Option ^{*3}	トリプルウェル	利用可 ^{*4}	利用可			
	拡散抵抗	利用可 ^{*4}	利用可			
	容量	metal-metal ^{*5} & bulk-poly	poly-poly & bulk-poly	poly-poly	poly-poly & bulk-poly	bulk-poly
設計データ受付		随時可 ^{*4}	随時可			
量産時期		1Q'02 ^{*4}	量産中			

- *1 : 5Vで使用される場合はご相談ください。
- *2 : 1P8MはPoly1層 + Metal8層を意味します。
- *3 : Mixed-Signal Optionについては組合せは自由です。
- *4 : Mixed-Signal Optionのご提供についてはご相談ください。
- *5 : 計画中

表2 バイポーラ/BiCMOS

バイポーラプロセス

特長	<ul style="list-style-type: none"> ・2層ポリプロセスを用いたESPER Tr^{*1}の採用 ・誘電体による素子分離を採用 ・MIS容量、poly抵抗の搭載 ・2層配線 ・fT 25GHz(標準) 	
搭載素子	NPN-Tr	実効エミッタ幅 0.2 μm
	PNP-Tr	ラテラル構造
	抵抗	Poly-Si
	容量	SiN
素子分離	ディープ トレンチ アイソレーション	
配線層数	2層	
適用製品例	<ul style="list-style-type: none"> ・高周波 RF 製品 ・直交変調器、MIX等 ・高速ロジック製品 ・CLK > 1GHz 	

*1 : Emitter-Base Self-aligned Structure with Polysilicon Electrodes and Resistor

BiCMOSプロセス

特長	<ul style="list-style-type: none"> ・高耐圧Bi-CMOSプロセス ・高集積 ・2層配線 	
搭載素子	NPN-Tr	OST ^{*2}
	PNP-Tr	ラテラル構造
	Nch-Tr	BVsd 15V
	Pch-Tr	BVsd 15V
	抵抗	拡散
	容量	酸化膜
素子分離	PN分離	
配線層数	2層	
適用製品例	<ul style="list-style-type: none"> ・DC/DCコンバータ ・各種制御IC 	

*2 : Oxide Surrounded Transistor

Fujitsu FAB Information System

当社では、インターネットを利用したデータ提供のシステムをご用意しています(図 4)。試作品の製造行程の進み具合やウェーハのPCM(Process Control Monitor)の測定データなど、お客様の試作ロットの情報をパソコンから引き出すことができます。

おわりに

当社のウェーハ ファウンドリ インタフェースは、次のようなお客様に最適です。お客様の素晴らしい設計を現実のものにするため、

ぜひ当社の製造技術力をご活用ください。

- ・ LSIの設計が専門のお客様
- ・ 所要増大のためセカンドソースを探しているお客様
- ・ 独自の組立てを行うためウェーハの状態での納入を希望されるお客様
- ・ 当社の先進的なパッケージをご利用になりたいお客様

ウェーハファウンドリサービスに関するお問い合わせ先

電子デバイス事業本部 ULSIエンジニアリング部

マニファクチャリングサービス部

TEL 042-532-1427 FAX 042-532-2417

E-mail : query-cot@sales.ed.fujitsu.co.jp

http://edevic.fujitsu.com/fj/FJCOT/index_j.html

図4 インターネットを利用したデータ提供システム

