

CMOS 0.11 μm スタンダードセル/ マクロ埋込み型セルアレイ CS91シリーズ/CE91シリーズ

最先端のネットワーク機器や通信機器向けのデザインを実現する、スタンダードセル「CS91シリーズ」と、マクロ埋込み型セルアレイ「CE91シリーズ」です。

概要

このたび開発した、0.11 μm ASICスタンダードセル「CS91シリーズ」と、マクロ埋込み型セルアレイ「CE91シリーズ」をご紹介します。本製品は、多ピン・高速伝送が要求される最先端のネットワーク機器や通信機器市場と、多機能化・低消費電力化が要求される携帯機器市場に応えるために開発されました。多ピンパッケージ、高速伝送用IP、高速/低リークセルライブラリが特長です。

特長

●高速・高集積化

ゲート長0.11 μm のトランジスタと、電気的特性への影響を小さくしつつ微細化を実現するための8層微細ピッチ、銅配線、Low-K層間材料*1(k 2.6)技術を導入しました。チップ全体とマクロ周囲の電源供給手法の改善により、4800万ゲート(CS91、敷詰め)以上を搭載することができます。

ゲート遅延時間は16ピコ秒(CS91、高速ライブラリ、インバータ、1.2V動作時)であり、0.18ミクロン技術の従来品と比べて約50%の高速化を実現しています。

設計が簡単で、かつ早く試作できることで定評のあるマクロ埋込み型セルアレイ(CE91)も用意しています。また、最大チップフレームには3800万ゲート(敷詰め)が搭載できます。

●IPマクロ

高機能なシステムLSIを容易に実現する手段として、CPUマクロ、各種周辺マクロ、メモリ、加算器、乗算器など、代表的な演算マクロ、PLL、アナログマクロ、高速伝送I/Fマクロをサポートします。

表1にサポートするIPマクロの種類を示します。

●設計手法

大規模な回路、タイミング問題、シグナル・インテグリティ問題に対応するために、階層設計手法、タイミングドリブンのレイアウト、クロストーク抑制レイアウト/修正を行います。これらの処理はSCCAD

(CS91)、GLOSCAD(CE91)を利用する設計フロー上で自動的に行うことができます。

●低消費電力、低電圧動作、低リーク電流

電源電圧は、標準の1.2V \pm 0.1Vから最低0.8Vまでの範囲で動作が可能です。消費電力は、従来品1.2V動作時に対して約1/2の6.6nW(CS91、ファンアウト=1、1MHz動作時の1ゲートあたりの値)へ低減されています。また、携帯機器の市場で要求される待機時の消費電力の抑制に必要な、低リーク電流セルライブラリも専用で用意します。

●試験手法

従来シリーズより採用され実績のある、MUX-D方式によるスキャンやAt-Speed動作保証のためのパステイレイテストをサポートします。これらのほかに、LSIテストで測定できない高速な領域での動作保証を行うため、ロジックBIST*2をサポートします。

●パッケージ

チップの狭ピッチ半田ハンパ技術と多ピンパッケージの開発により、ネットワーク市場で要求される多ピン・高速伝送に対応しました。従来シリーズでご提供中のパッケージも利用できますので、既に開発済みの品種の置換えもスムーズにできます。

表1 サポートするIPマクロ

| | |
|--------------|--|
| CPU/DSP | ARM9, ARM7TDMI 他 通信用DSP, デジタルAV用DSP 他 |
| インタフェースマクロ | PCI, IEEE1394, USB, IrDA 他 |
| マルチメディア処理マクロ | JPEG, MPEG 他 |
| ミックスドシグナルマクロ | ADC, DAC, OPAMP 他 |
| コンパイルドマクロ | RAM(1ポート, 2ポート), ROM, 乗算器, 加算器, 積和器 他 |
| PLL | アナログPLL, デジタルPLL |
| I/Oマクロ | LVDS, T-LVTTL, P-CML, PCI, SSTL2, HSTL, GTL, AGP, USB, IEEE1394 他 |
| 高速I/Fマクロ | 622Mbps I/F, 2.5Gbps I/F, 3.2Gbps I/F, 10Gbps I/F |

(検討中を含む)

次のパッケージを用意しています(予定を含む)。

- ・FCBGAパッケージ：最大2116ピン
- ・EBGAパッケージ：最大672ピン
- ・FBGAパッケージ：最大304ピン
- ・TAB-BGAパッケージ：最大720ピン
- ・QFPパッケージ：最大304ピン

表2に仕様を、表3に最大定格を、表4に推奨動作条件を、表5に直流特性を、表6に開発サポートツールを示します。

*1：Low-K層間材料：誘電率の低い層間材料

*2：BIST：Built In Self Test

表2 仕様

| シリーズ名 | | スタンダードセル CS91 | マクロ埋込み型セルアレイ CE91 |
|--------|------------|---|-------------------|
| 品名 | | MB87Q x x x x(末尾4文字は当社指定) | |
| プロセス技術 | | 0.11 μm SiゲートCMOS， 5層～8層配線(Cuを適用)， Low-K層間膜 | |
| 搭載ゲート数 | | 4800万ゲート以上 | 3800万ゲート |
| 電気的特性 | 遅延時間*1 | 16ps | 20ps |
| | 消費電力*1 | 6.6nW/MHz | 10.4nW/MHz |
| | インタフェースレベル | 2.5V*2 3.3V*3 | |

*1：インバータセル，ファンアウト1

*2・*3：I/O用電源として2.5V(*2の場合)または3.3V(*3の場合)を供給することで可能となります。

表3 最大定格

| 項目 | 記号 | 条件 | 定格値 | 単位 |
|------|------|----------------|--------------------------|----|
| 電源電圧 | VDD | 3.3V系電源(I/O) | - 0.5 ~ 4.6 | V |
| | | 1.2V系電源(内部) | - 0.5 ~ 1.5 | |
| 入力電圧 | VI | 3.3V系電源 | - 0.5 ~ VDD + 0.5(4.0) | |
| 出力電圧 | VO | 3.3V系電源 | - 0.5 ~ VDD + 0.5(4.0) | |
| 保存温度 | Tstg | | - 55 ~ + 125(プラスチック) | |

表4 推奨動作条件

VDDI = 1.2V ± 0.1V，VDDE = 3.3V ± 0.3V (2電源)

| 項目 | 記号 | 規格値 | | | 単位 |
|----------|------|-------|-----|------------|----|
| | | 最小 | 標準 | 最大 | |
| 電源電圧 | VDDI | 1.1 | 1.2 | 1.3 | V |
| | VDDE | 3.0 | 3.3 | 3.6 | |
| Hレベル入力電圧 | VIH | 2.0 | | VDDE + 0.3 | |
| Lレベル入力電圧 | VIL | - 0.3 | | 0.8 | |
| 動作接合温度 | Tj | - 40 | | 125 | |

表5 直流特性

VDDI = 1.2V ± 0.1V, VDDE = 3.3V ± 0.3V (2電源)

| 項目 | 記号 | 条件 | 規格値 | | | 単位 |
|----------|-----|-------------------------|------------|----|------|----|
| | | | 最小 | 標準 | 最大 | |
| Hレベル出力電圧 | VOH | IOH = - 100 μA | VDDE - 0.2 | | VDDE | V |
| Lレベル出力電圧 | VOL | IOL = 100 μA | 0 | | 0.2 | |
| Hレベル出力電流 | IOH | Lタイプ, VOH = VDDE - 0.4V | | | TBD | mA |
| | | Mタイプ, VOH = VDDE - 0.4V | | | TBD | |
| | | Hタイプ, VOH = VDDE - 0.4V | | | TBD | |
| Lレベル出力電流 | IOL | Lタイプ, VOL = 0.4V | TBD | | | |
| | | Mタイプ, VOL = 0.4V | TBD | | | |
| | | Hタイプ, VOL = 0.4V | TBD | | | |
| 入力リーク | IL | | - 10 | | 10 | μA |
| ブルアップ抵抗 | Rpu | VI = 0 | | 33 | | k |
| ブルダウン抵抗 | Rpd | VI = VDDE | | 33 | | |

*値は変更になる場合があります

表6 開発サポートツール

| 機能 | ツール名 |
|---------------------|---|
| 論理合成 | Synopsys社「DesignCompiler」「Physical Compiler」 Cadence社「BuildGates」 |
| パワー計算 | Sequence社「Watt Watcher」(要求対応) Synopsys社「DesignPower」「PowerCompiler」 当社「PowerImpuls」 |
| タイミング解析 | Synopsys社「PrimeTime」 当社「Gista」 |
| シミュレーション | Cadence社「Verilog-XL」「NC-Verilog」「Leapfrog」 Synopsys社「VSS」「VCS」 Model Technology社「Model-sim」 当社「LCADFE」 |
| 形式検証 | Avant!社「Design VERIFYer」 Synopsys社「Formality」 Verplex社「Tuxedo-LEC」 当社「Assure」 |
| レイアウト | Magma社「Blast Fusion」 Cadence社「Integrated Ensemble」 当社「SCCAD」「GLOSCAD」 |
| テストツール | Logic Vision社「icBIST」 当社「ATREX」「FANTCAD」「RAPARA」「TERBAN」「FANSCAD」 |
| 検証ツール | Cadence社「Assura」 Mentor社「Calibre」 |
| HW/SW Co-Simulation | Synopsys社「EAGLE-i」 Yokogawa社「VIRTUAL-ICE」 GAIO Technology社「Asim-G」 |