

# CMOSゲートアレイ CG61Pシリーズ

ゲートアレイで初めてアナログPLLを搭載したシリーズです。搭載ゲート数は70K～300Kゲートの4種類を用意し、アナログPLLは低周波数用（90～160MHz）と高周波数用（150～200MHz）の2種類から選択できます。

## 概要

近年、ASIC製品は民生から産業機器にいたる幅広い電子機器に採用され、その要望も多種多様化しています。これに伴い、PLLも同様に高機能化が求められています。従来、アナログPLLを搭載した製品はE/AやS/Cの設計手法を使用していましたが、開発費用が高い、試作TATが長いなどの課題がありました。当社ではこれらの各種ニーズに応えるため、本市場では初めて、ゲートアレイにアナログPLLを搭載したCG61Pシリーズを開発しました。またパッケージについては今後、小型・軽量・薄型も展開していく予定です。

## 特長

### ●プロセス技術

CMOS Siゲート0.35 $\mu$ m・3層配線プロセスを採用しています。

### ●標準ゲート遅延時間

CG61Pでは標準ゲート85ps（3.3V単一電源，2入力NAND，F/O = 2，標準負荷）

### ●電源電圧

3.3V $\pm$ 0.3V（標準仕様，APLL仕様も同じ）

表1・表2に電気的特性を示します。

### ●搭載ゲート数

シリーズ構成は、搭載ゲート数が72K～300Kゲートの4種類を準備しています。

### ●パッケージ・ラインアップ

使用パッケージについては表面実装型プラスチック，LQFP/QFPのラインアップを主に準備しています。

表3にCG61Pシリーズのパッケージ・ラインアップを示します。また今後は、BCC（Bump Chip Carrier）も展開していく予定です。

図1にBCCパッケージの特長を示します。

### ●アナログPLL

搭載可能な個数は1個です。論理ネット上で指定することにより、

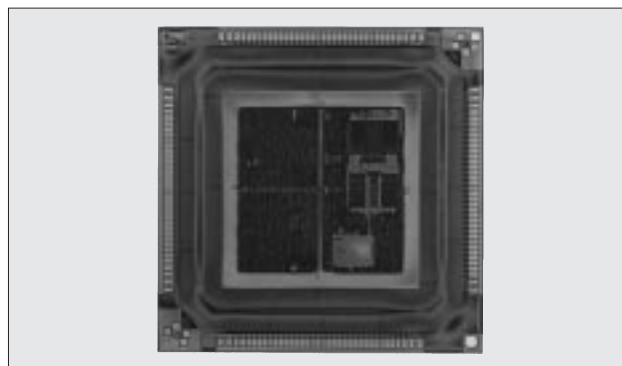


写真1 外観

低周波数用 (90 ~ 160MHz) と高周波数用 (150 ~ 200MHz) の2種類からお選びいただけます。

図2にアナログPLLを搭載したCG61Pの特長を示します。

● 水晶発振回路専用バッファセル

低周波数専用 (32KHz), 中周波数専用 (~20MHz), 高周波数専用 (20 ~ 40MHz) の3種類を準備しています。なお、こ

れら3種類はすべて発振停止機能付きになります。

## チップ構成

アナログPLLの専用領域を除き、全面素子形成型のベースセルを敷き詰めてロジック回路を構成します。(図2)

表1 最大定格

(V<sub>SS</sub> = 0V)

項目	記号	定格	単位
電源電圧	V <sub>DD</sub>	V <sub>SS</sub> - 0.5 ~ +4.0	V
入力電圧*1	V <sub>I</sub>	V <sub>SS</sub> - 0.5 ~ V <sub>DD</sub> + 0.5 V <sub>SS</sub> - 0.5 ~ V <sub>DD</sub> + 4.0 (6.0)*6	V
出力電圧	V <sub>O</sub>	V <sub>SS</sub> - 0.5 ~ V <sub>DD</sub> + 0.5 V <sub>SS</sub> - 0.5 ~ V <sub>DD</sub> + 0.5 L/H-State *6 V <sub>SS</sub> - 0.5 ~ V <sub>DD</sub> + 4.0 (6.0) Z-State *6	V
電源端子電流*2	I <sub>D</sub>	V <sub>DD</sub> 端子1本あたり	95
		V <sub>SS</sub> 端子1本あたり	95
出力電流*3	I <sub>O</sub>	CMOS出力 I <sub>OL</sub> = 2mA 4mA βmA	± 14
		CMOS出力 I <sub>OL</sub> = 12mA	± 28
		CMOS出力 I <sub>OL</sub> = 24mA	± 58
		PCML出力	+ 20
		トランジスタタイプ (I <sub>OL</sub> = 2 # β 12mA)	± 14
オーバーシュート*4		標準タイプ	V <sub>DD</sub> + 1.0
アンダーシュート*4			V <sub>SS</sub> - 1.0
保存周囲温度	T <sub>ST</sub>	プラスチック	- 55 ~ + 125
		セラミック	- 65 ~ + 150
動作接合温度*5	T <sub>J</sub>		- 40 ~ + 125

- \*1: LVDS (抵抗内蔵タイプ) の差動入力端子間に1.1V以上を印加不可
- \*2: 定常的に流せる最大電源電流値
- \*3: 定常的に流せる最大出力電流値
- \*4: 50ns以内
- \*5: 連続動作を保証するものではありません
- \*6: 5Vトランジスタの場合

表2 推奨動作条件

V<sub>DD</sub> = 3.3V ± 0.3V (単一電源)

(V<sub>SS</sub> = 0V)

項目	記号	定格			単位	
		最小	標準	最大		
電源電圧	V <sub>DD</sub>	3.0	3.3	3.6	V	
Hレベル入力電圧	3V系 CMOS	通常	V <sub>DD</sub> × 0.65	V <sub>DD</sub> + 0.3	V	
		シュミット				
	5Vトランジスタ	通常	V <sub>DD</sub> × 0.65	5.5		
		シュミット	V <sub>DD</sub> × 0.80			
Lレベル入力電圧	3V系 CMOS 5Vトランジスタ	通常 シュミット	V <sub>IL</sub>	V <sub>SS</sub>	V <sub>DD</sub> × 0.25 V <sub>DD</sub> × 0.20	V
動作接合温度	T <sub>J</sub>	0		100		

V<sub>DD</sub> = 2.5V ± 0.25V (単一電源)

(V<sub>SS</sub> = 0V)

項目	記号	定格			単位	
		最小	標準	最大		
電源電圧	V <sub>DD</sub>	2.25	2.5	2.75	V	
Hレベル入力電圧	2V系 CMOS	通常	V <sub>DD</sub> × 0.70	V <sub>DD</sub> + 0.3	V	
		シュミット				V <sub>DD</sub> × 0.80
Lレベル入力電圧	2V系 CMOS	通常 シュミット	V <sub>IL</sub>	V <sub>SS</sub>	V <sub>DD</sub> × 0.20	V
動作接合温度	T <sub>J</sub>	0		100		

表3 CG61Pパッケージ・ラインアップ

	CG61723P	CG61134P	CG61204P	CG61304P
搭載BC数	70718	130372	207068	301184
パッケージ呼称				
LQFP48	(42/40)			
LQFP64	(58/56)	(58/56)	(58/56)	
LQFP80	(72/70)	(72/70)	(72/70)	(72/70)
LQFP100	(88/86)	(88/86)	(88/86)	(88/86)
LQFP120	(102/100)	(102/100)	(102/100)	(102/100)
LQFP144	(126/124)	(126/124)	(126/124)	(126/124)
LQFP176		(152/150)	(152/150)	(152/150)
LQFP208			(178/176)	(178/176)
TQFP100	(88/86)	(88/86)	(88/86)	(88/86)
TQFP120			(102/100)	(102/100)
QFP240			(206/204)	(206/204)
QFP256				(220/218)

- 1) 搭載BC数: APLL領域は除く
- 2) 最大信号ピン数: APLL 無/有
- 3) : Available, : 準備予定, : 対応不可

## 使用セル

ユニットセル，入出力セル，RAMともに，当社のCG61シリーズのものが流用できます。なお，RAMの配置可能領域はシリーズごとに異なります。

## 開発サポート

当社のCG61シリーズと同じ開発ツールがそのまま使用できます。

- ・ Superwindow
- ・ STA ( GISTA )
- ・ Verilog-XL ( Cadence社 )
- ・ Composer ( Concept ) ( Cadence社 )
- ・ VCS ( ViewLogic社 )
- ・ VSS ( Synopsys社 )

など

図1 BCCパッケージの特長

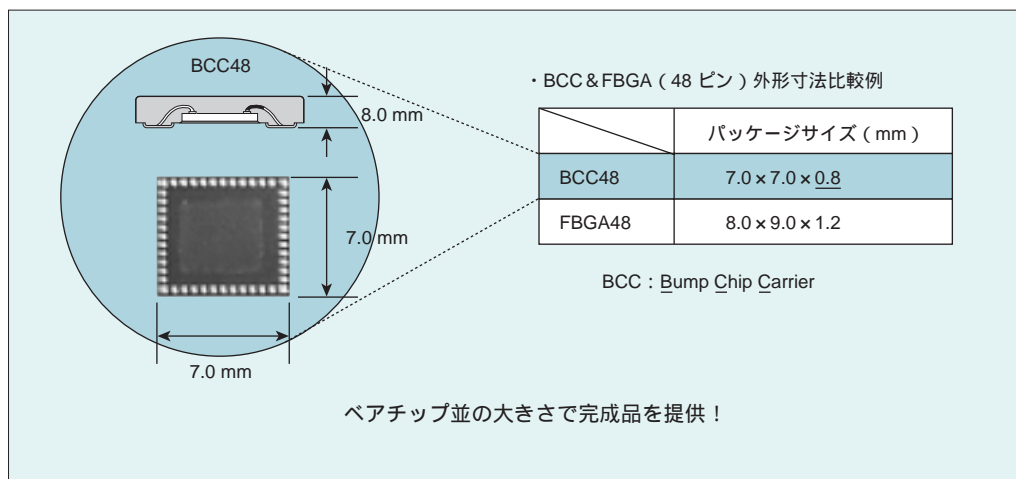


図2 CG61Pの特長

