

民生機器向けフリップチップ接続技術開発

同サイズのチップの接続を可能にする，Auバンプ圧接方式を用いたフリップチップ接続技術と，それを適用したFWS-FBGAパッケージをご紹介します。

概要

近年の携帯電話，携帯情報端末，DVC(Digital Video Camera)等の高機能化・小型化・軽量化に対する進展は著しいものがあり，半導体パッケージも高機能化・小型化・軽量化が強く求められています。

このような状況下，当社では，携帯機器に最適な高機能化・小型化対応パッケージとして，チップを積み重ねて搭載したWS-MCP (Wire Stacked-Multi Chip Package)を開発・量産しています(図1)。しかし，従来のワイヤボンディング方式による内部接続だけでは，チップサイズなどにより搭載が制限されるという課題があります。

そこで当社はこのたび，民生機器向けフリップチップ接続技術を開発し，FWS-FBGA(Flip Wire Stacked-FBGA)に適用しました。

この技術は，従来のワイヤ接続方式では実現できなかったチップの搭載組合せを可能にし，2001年9月より量産を開始しています。

図2に従来のフリップチップ実装工法との比較を示します。フリップチップ接続技術には，半田接合法や導電性ペースト接着工法

図1 WS-FBGA (MCP) 断面構造

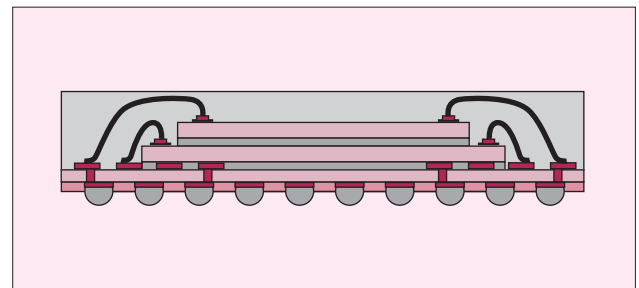


図2 フリップチップ実装工法の比較

導電性ペースト接着工法	半田接合法	Auバンプ圧接工法
<p>アンダーフィル (樹脂接着剤) チップ 導電性接着剤 金バンプ 基板</p>	<p>アンダーフィル (樹脂接着剤) チップ 共晶半田 高温半田バンプ 基板</p>	<p>アンダーフィル (樹脂接着剤) チップ 金バンプ 基板</p>
<p>低コスト 接続信頼性 狭ピッチ 低接合荷重</p>	<p>低コスト 接続信頼性 狭ピッチ 低接合荷重</p>	<p>低コスト 接続信頼性 狭ピッチ 低接合荷重</p>

などがあります。従来のフリップチップ接続技術はハイエンド向けに開発された半田接合工法であり、共晶半田ペーストを印刷するためのメタルマスクを使用するため、さらなる狭ピッチ化が困難です。また、民生機器向けのチップパッド配列はペリフェラル配置が主であることから、狭ピッチ化に有利で低コストなAuバンプ圧接工法を開発・採用しました。

本稿では、フリップチップ接続技術とFWS-FBGAの特長、基本構造、パッケージング技術、商品事例と今後の開発動向について解説します。

特 長

● 同一/同サイズチップ対応

これまで開発してきたスタックMCPIは、量産性に富んだワイヤ接続方式でした。しかし、デバイスの組合せ要求にはさまざまなものがあり、中には同一またはほぼ同じサイズのデバイスの組合せもあります。このような組合せはこれまでのワイヤ接続方式では不可能でしたが、フリップチップ接続技術で解決することができます。

● 低コスト

FWS-FBGAは、民生機器向けに開発した低コストフリップチップ接続技術を採用しています。

● 信頼性

従来のワイヤボンディング方式のWS-MCPと同等の信頼性があります。

● 高周波対応

フリップチップ接続方式の電気特性は、従来のワイヤ接続方式と比較して良好です。

基本構造

図3に、フリップチップ接続技術を用いたパッケージFWS-FBGAの構造を示します。

FWS-FBGAは、インタポーザにガラスエポキシ基板を用いており、バンプ形成したデバイスをインタポーザにフェスダウンで実装しています。これにより、フリップチップ接続したデバイス上にも同サイズのデバイスが搭載できます。このことから、搭載できるデバイスの組合せは従来に比べて格段に広がりました。また従来どおりに、外部入出力端子としてパッケージ裏面にランドを配置した構造となっており、ファンイン/ファンアウト構造の両方に対応可能です。

パッケージング技術

● アンダーフィル材料

アンダーフィル材料には、信頼性・コスト・組立汎用性・狭ピッチ対応等の理由から、非導電性ペーストを採用しました。また、量産性に有利なシート材も現在開発中です。

● FWS-FBGAの組立て工程フロー

図4にFWS-FBGAの組立て工程フローを示します。アンダーフィル材を供給したインタポーザに、バンプ形成されたデバイスをフェ

スダウンで実装することによりフリップチップ接続されます。その後は、上チップ搭載 上チップのワイヤボンディング 封止 ボール付け 切断個片化と、従来のFBGAと同じ工程で製造できます。オーバーモールドング技術を用いることにより、高い量産性を有しています。

特 性

信頼性

● 評価サンプル仕様

耐リフロー性評価と信頼性評価には次のようなサンプルを使用しました。

- ・ パッケージ：FWS-FBGA(123ピン/2チップ搭載)
- ・ パッケージサイズ：11mm × 12mm × 1.4mm
- ・ チップ：フリップ 64M-NAND/上チップ 32M-FCRAM
- ・ チップサイズ：フリップ 9.8mm × 8.0mm × 0.14mm/
上チップ 9.8mm × 8.0mm × 0.14mm
- ・ 外部端子：0.45共晶半田ボール(0.8mmピッチ)

● 耐リフロー性

表1にFWS-FBGAの耐吸湿リフロー性評価結果を示します。アンダーフィル材の最適化と組立て条件の最適化により、VDH(Vapor Drain Hole)なしでも高い耐リフロー性を実現しています。今後のPbフリー化にも対応できます。

● 単体としての信頼性

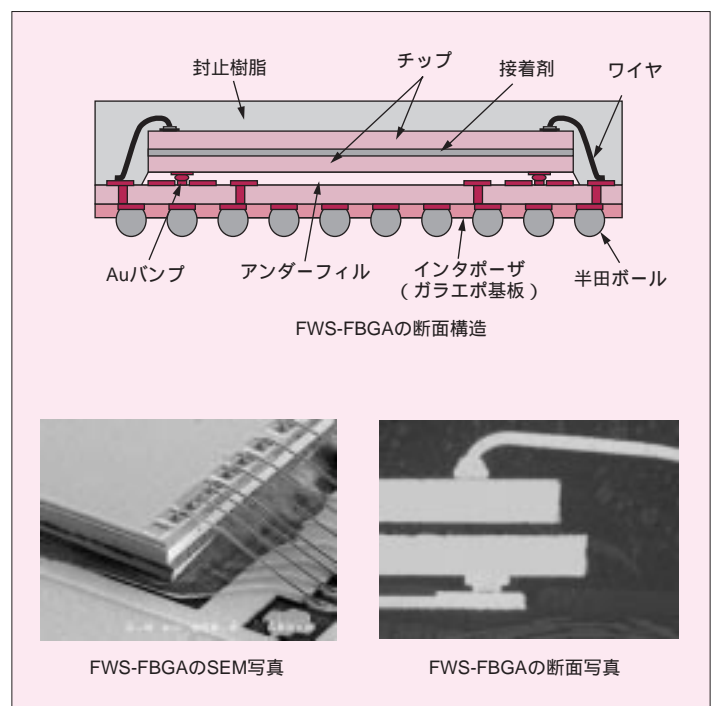
表2にFWS-FBGAの単体信頼性試験結果を示します。FWS-FBGAは従来のWS-MCPと同等の信頼性があります。

● 2次実装信頼性

● 温度サイクル性

図5にFWS-FBGAの実装信頼性試験結果を示します。FWS-

図3 フリップチップ接続技術を用いたパッケージFWS-FBGAの構造



FBGAは従来のWS-MCPと同等の2次実装信頼性があります。

・機械的強度(落下, 曲げ)

図6に当社で実施したFWS-FBGAの基板実装後の落下試験結果を、図7に繰り返し曲げ試験・限界曲げ試験結果を示します。FWS-FBGAは従来のWS-MCPと同等の機械的強度があります。

熱抵抗・電気的特性

FWS-FBGAは、従来のWS-MCPと比べて同等以上の良好な熱抵抗、電気特性があります。

商品事例

図8にFWS-FBGAの商品事例を示します。フリップチップ接続

図4 FWS-FBGAの組立て工程フロー

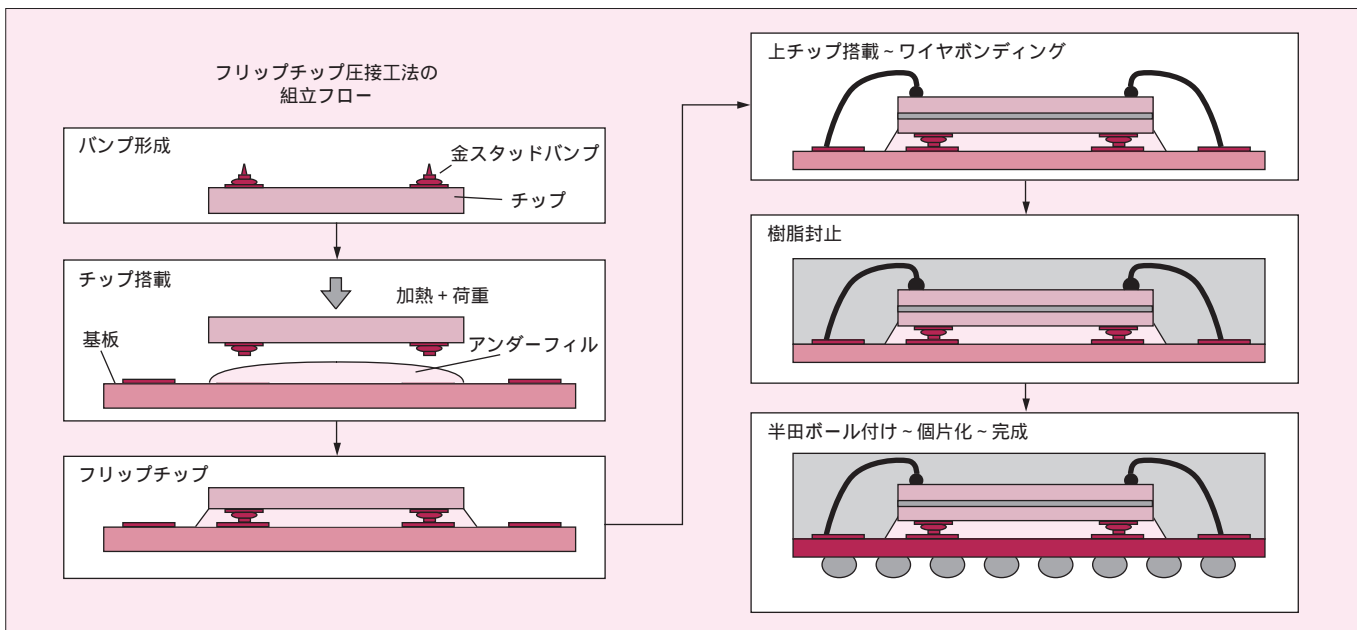


表1 FWS-FBGAの耐吸湿リフロー性評価結果

吸湿条件	リフロー温度(最大)	試験個数	不良個数
85 /85%・12h + 85 /85%・12h	240	20	0
	250	20	0
	260	20	0
30 /80%・120h + 30 /80%・96h	240	20	0
	250	20	0
	260	20	0

表2 FWS-FBGAの単体信頼性試験結果

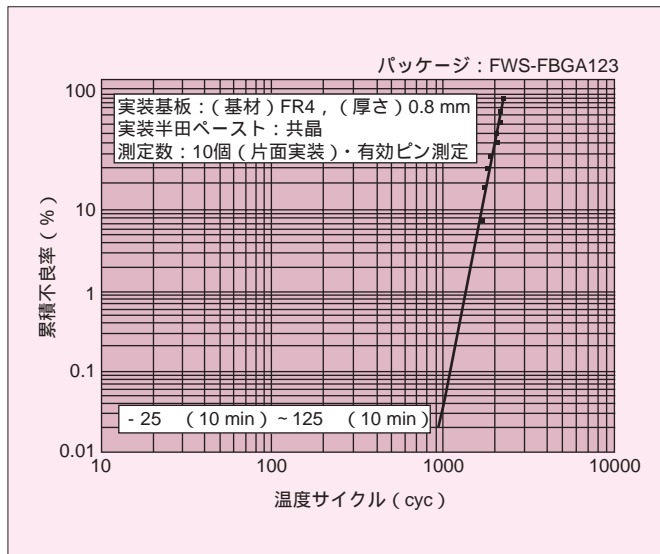
項目	条件	試験時間	試験個数	不良個数
高温保持試験	150	504h	25	0
温度サイクル試験	-55 ~ 125	500サイクル	25	0
PTHS	121 /85%	504h	25	0
PTHB	121 /85%/3.3V	192h	25	0

技術、ウェーハ厚の薄型化技術およびチップスタック技術を開発・適用することにより、同チップを2個含む4チップの搭載を、取付け高さ1.4mm(最大)で実現しています。また、フリップチップ接続技術はチップ厚さ100μmまで可能なことを確認しています。今後は、さらにフリップチップ接続技術を適用するパッケージが拡大すると予想されます。

今後の展開と課題

図9に今後のフリップチップ接続技術展開を示します。現在は民生機器向けにS-MCPを量産しており、フリップチップ接続技術は同一サイズチップのMCP化に貢献しています。今後はフリップチップ接続技術の特長を有効に利用して、次のような製品を開発していきます。

図5 FWS-FBGAの実装信頼性試験結果



●高周波デバイス対応パッケージ

ワイヤボンディングは配線長が大きいため、インダクタンスなどが大きくなってしまい、いわゆるRLC特性の劣化につながります。しかし、フリップチップ接続は配線長が小さいため、ワイヤ接続に比べてRLC特性を大幅に向上できます。この特長を利用し、高周波デバイス対応や電気特性改善を目的とした、高周波デバイス対応パッケージを開発します。

●小型・薄型化パッケージ

フリップチップ接続は、バンブ形成したデバイスをインタポーザにフェースダウンで実装します。そのため、インタポーザ側のボンディングパッドはデバイスの下にあります。ですから、デバイス1個を搭載する場合は、デバイス周辺にワイヤボンディングパッドを配置する必要がありません。従来のワイヤ接続方式では、デバイスサイズ+

1mm(片側0.5mm)が必要でしたが、フリップチップ接続技術を用いることでデバイスサイズ+0.2mm(片側0.1mm)が実現できます。メモリ系の少数ピンをターゲットに、限りなくチップサイズに近い小型化パッケージを開発します。

従来のワイヤ接続方式では必ず封止工程が必要でしたが、フリップチップ接続方式では封止工程が不要です。これらの特長を活かしてさらに薄い、超薄型パッケージも現在開発中です。

●システム・イン・パッケージ

今後のチップ接続技術は、ロジック展開によるシステム対応が強く望まれます。フリップチップの接続配線長はワイヤボンディングと比べて小さいため、フリップチップ接続技術は高周波デバイス対応や電気特性改善などの課題に対しても期待されています。またフリップチップ接続技術はさまざまなパッド配置(例えばセンタパッド配置)

図6 FWS-FBGAの落下試験結果

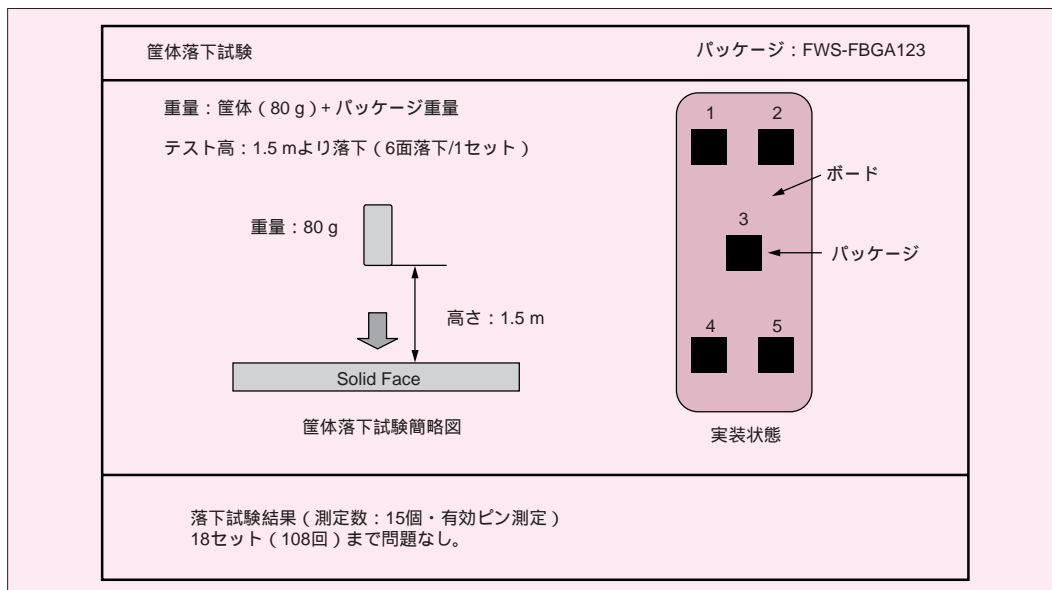
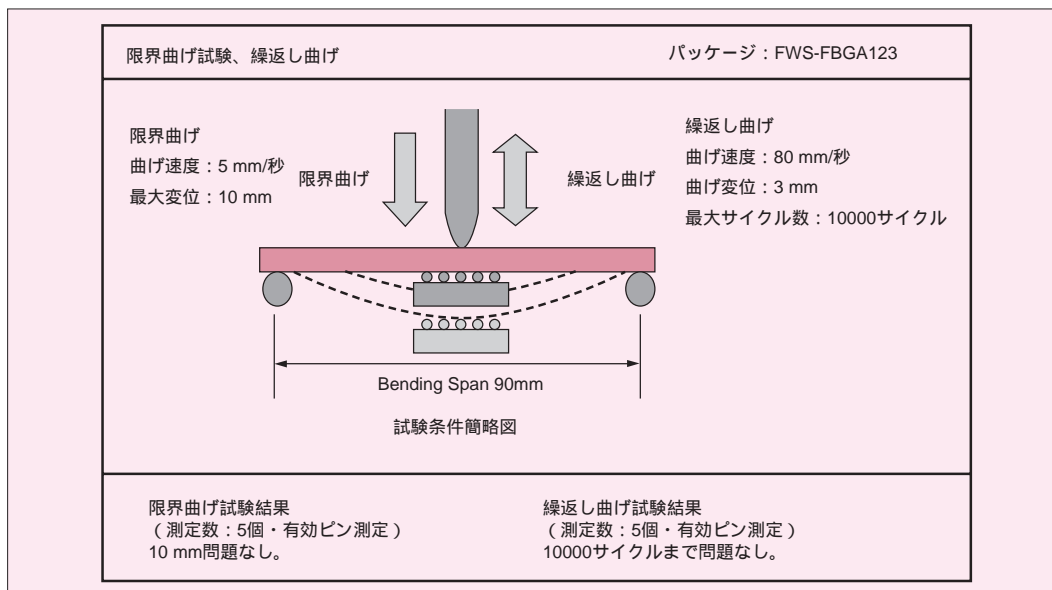


図7 FWS-FBGAの曲げ試験結果



に対応できるため、メモリやロジックのどちらでもフリップチップ接続が可能です。これらのことから、今後フリップチップ接続技術の特長を有効に利用して、システム・イン・パッケージへ展開していく予定です。

システム・イン・パッケージを実現するためのフリップチップ接続技術の課題としては、狭パッドピッチ化、CoC(Chip on Chip)対応などがあります。現在、ガラエポ基板へのフリップチップ接続技術は、チップパッドピッチ140 μmまで可能なことを確認しています。しかし、ロジック対応のためにはさらなる狭パッドピッチ化へ対応する必要があり、60 μmを目標に開発を進めています。CoC対応に

関しては、40 μmピッチの実現に向けて低荷重フリップチップ接続技術の開発を進めています。

おわりに

今回は、内部接続方法の一つとして、Auハンブ圧接方式によるフリップチップ接続工法を適用したFWS-FBGAパッケージをご紹介します。当社のFWS-FBGAは、携帯機器に採用されご好評をいただいています。当社は今後もお客様のニーズを十分に把握し、パッケージ開発を展開していきます。

図8 FWS-FBGAの商品事例

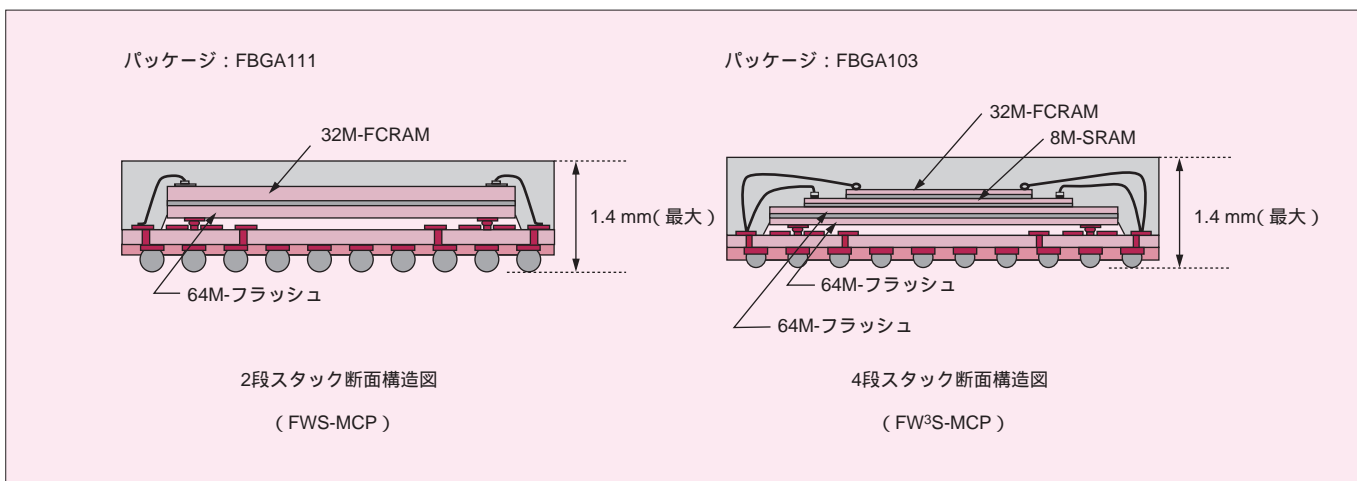


図9 今後のフリップチップ接続技術展開

