

CMOS 0.18 μ mスタンダードセル CS86シリーズ

従来品のCS81シリーズに対して、配線ピッチの縮小と、IO上にPADを配置する技術を採用することにより、高集積化を図ったスタンダードセルです。

概要

本製品は、従来品のCS81シリーズに配線ピッチの縮小とIO上にPADを配置する技術を採用することにより、高集積化を図ったCMOS ASICです。

本製品には3タイプのセルセット(CS86MN/CS86MZ/CS86ML)があり、低消費電力を要求される携帯機器から大規模高速を要求される画像処理まで、さまざまな用途の製品に適しています。また、これら3タイプのセルセットは混在可能であり、低消費電力でありながら部分的な高速動作の要求にも対応できるシステムLSIを実現します。

特長

●セルセット

- CS86MN：スタンダードのトランジスタ特性となっており、高速処理が必要な製品向けに開発されたライブラリです。
- CS86MZ：超高速動作向けのトランジスタ特性となっており、CS86MNよりリーク電流は劣りますが、超高速処理が必要な製品向けに開発されたライブラリです。
- CS86ML：リーク電流を抑えたトランジスタ特性となっており、携帯機器などの低消費電力が必要な製品向けに開発されたライブラリです。

●高集積化

本製品は、当社の最新0.18 μ mプロセスを使用し、微細ピッチ配線を実現しています。4000万ゲート(敷き詰め)以上を搭載することが可能で、ロジック領域では従来品に比べて最大2割も集積度を向上できます。

●IPマクロ

表1にサポートするIPマクロの一覧を示します。

高性能なシステムLSIを容易に実現する手段として、CPUマクロ、各種周辺マクロ、メモリ、演算マクロ、PLL、アナログマクロをサ

ポートします。

●設計手法

表2に開発サポートツールを示します。

従来から提供しているスタンダードセル統合設計環境のSCCAD2は、本製品にも対応しています。これにより最大4000万ゲート、動作周波数500MHzの設計が可能となり、レイアウト設計期間も従来の半分に削減できます。また、社内ツールGLOSCADも本製品のスタンダードセル設計に対応しています。

●フィジカルシンセシス

コンサルティングビジネスで、フィジカルシンセシスツールをサポートします。フィジカル情報をもとにした論理合成のサポートにより、従来のASIC開発で問題となっていた、配線混雑度や実配線と仮配線容量の相違などが原因の、論理合成とレイアウト処理間のイタレーション(反復)を低減します。これにより、予定した開発期間内にASIC設計が実現できます。

●ローパワーシンセシス

ラッチなどの順序セルを内蔵した、ハードマクロ型のGated Clockバッファを使用可能にするローパワーシンセシスツールをサポートします。ハードマクロ型のGated Clockバッファ使用により、クロックラインの低消費電力化を実現します。また、確実な動作とスクリ

表1 IPマクロ一覧

CPU/DSP	FR-V, ARM9 他 通信用DSP, デジタルAV用DSP 他
周辺マクロ	インタ-バルタイマ, 割込みコントロ-ラ, DMAコントロ-ラ, RTC, Calendar, UART 他
インタフェ-スマクロ	PCI, IEEE1394, USB2.0, IrDA 他
マルチメディア処理マクロ	JPEG, MPEG4 他
ミックスドシグナルマクロ	ADC, DAC, OPAMP 他
コンパイルドマクロ	RAM(1ボ-ト, 2ボ-ト), ROM, Delay Line, レジスタファイル 他
PLL	アナログPLL
I/Oマクロ	1.1V~5Vの各種インタフェ-スレベルに対応, SSTL2, PCI, P-CML, T-LVTTL, USB2.0, IEEE1394 他

ブの煩雑化の軽減，処理の短TATを実現します。

・ **タイミングドリフトレイアウト**

チップレベルのタイミング制約をもとに自動配置配線を行います。これにより，ディープサブミクロンでは特に問題となる，レイアウト後のタイミング問題の発生を未然に防ぎます。

また，一部残ったタイミングエラーは，当社製自動タイミング修正システムによりすべて自動的に修正されます。これにより，ネットリストの作成完了から試作開始までが短期間で行えます。

・ **階層設計**

ディープサブミクロンでの回路の大規模化に対応するため，論理設計から物理設計までの一貫したトップダウン階層設計をご提供します。これにより，複数ブロックの論理・物理設計が同時に行えるうえ，短期間でのタイミング収束が可能になり，回路の超大規模化にも十分耐えうる設計環境をご提供します。

・ **シグナルインテグリティ対応**

電源配線を自動化することにより，短期間で設計規格を満足するレイアウトができます。内部消費電力やクロック周波数などを考慮した電源幅自動調整機能により，人手を介することなく電流密度・電圧降下制限を満たすチップが作成できます。また，信号線間の容量カップリングによる信号ノイズや遅延ペナルティ，局所的同時スイッチングによる電圧降下などの検証システムを用意しています。

● **低リーク**

CS86MLでは，低リークTrを採用することで，従来品に比べて1/40の大幅な低リーク化が実現できます。

● **試験手法**

従来シリーズで採用し実績のある，MUX-D方式による内部スキャンやメモリスキャン，メモリBISTをサポートします。また，これらの内部テストに加え，システムLSI設計におけるIPマクロ単体テストに対応したバウンダリスキャンをご提供します。さらに高速動作を保証するため，従来シリーズで採用中のパステイレイテストもご提供するなど，試験設計環境を充実させています。

● **パッケージ**

チップの狭パッドピッチ技術開発と多ピンパッケージの新規開発により，ピンゲートレシオがさらに向上しました。

- ・ QFPパッケージ：最大304ピン
- ・ PBGAパッケージ：最大420ピン
- ・ FBGAパッケージ：最大368ピン
- ・ FLGAパッケージ：最大288ピン
- ・ EBGAパッケージ：最大660ピン

● **電気的特性**

表3に仕様一覧，表4に最大定格，表5～表7に推奨動作条件，表8～10に直流特性，図1～4に出力特性を示します。

表2 開発サポートツール

機能	ツール名
フロアプラン	Cadence社「PDP」「SOC - Encounter」 当社製「GLOSCAD」
論理合成	Synopsys社「DesignCompiler」 Cadence社「BuildGate」
パワー - 計算	Synopsys社「PowerCompiler」 当社製「PowerImpulse」
タイミング解析	Synopsys社「PrimeTime」 当社製「Gista」
シミュレーション	Cadence社「Verilog - XL」「NC - Verilog」「NC - VHDL」 Synopsys社「VCS」 Mentor社「ModelSim」 当社製「LCADFE」
形式検証	Synopsys社「Formality」 Verplex社「Conformal - LEC」 当社製「Assure」
クロックツリ	Cadence社「CT - Gen」
レイアウト	Cadence社「SiliconEnsemble SI」 当社製「GLOSCAD」
フィジカルシンセシス	Synopsys社「PhysicalCompiler」 Cadence社「PKS」
クロストーク解析	Cadence社「Celtic」 当社製「Pawel」
テストツール	当社製「ATREX」「FANTCAD」「RAPARA」「TERBAN」「FANSCAD」
設計環境ツール	当社製「IPSymphony」「SCCAD2」
検証ツール	Cadence社「Assura」Mentor社「calibre」
HW/SW Co - Simulation	Yokogawa社「VIRTUAL - ICE」 GAIO Technology社「Asim - G」 Mentor社「Seamless CVE」

表3 仕様一覧

シリーズ名		スタンダードセル CS86		
品名		MB87Sxxx		
プロセス技術		0.18 μm SiゲートCMOS，アルミ4層～6層配線		
搭載ゲート数		4000万ゲート以上		
電気的特性	シリーズ	CS86MZ	CS86MN	CS86ML
	遅延時間*1	65ps	84ps	132ps
	消費電力*2	29.5nW/MHz	21.2nW/MHz	16.0nW/MHz
	リーク電力*2	3.97nW	0.0264nW	0.0007nW
電圧		1.1V～1.8V		1.8V

*1：2入力NANDセル(ハイパワータイプ)，ファンアウト2，標準負荷 電源電圧1.8V，温度25
 *2：2入力NANDセル(ロパワータイプ)，ファンアウト1，無負荷 電源電圧1.8V，温度25

表4 最大定格

(V_{SS} = 0V)

項目	記号	定 格	単位
電源電圧	V _{DD}	- 0.5 ~ 2.5 ^{*1} - 0.5 ~ 4.0 ^{*2}	V
入力電圧	V _I	- 0.5 ~ V _{DD} + 0.5(2.5V) ^{*1} - 0.5 ~ V _{DD} + 0.5(4.0V) ^{*2}	V
出力電圧	V _O	- 0.5 ~ V _{DD} + 0.5(2.5V) ^{*1} - 0.5 ~ V _{DD} + 0.5(4.0V) ^{*2}	V
保存周囲温度	T _{ST}	- 55 ~ 125	
動作接合温度	T _J	- 40 ~ 125	
出力電流 ^{*3}	I _O	± 10(3.3VCMOS , 2.5VCMOS) ± 7.5(1.8VCMOS)	mA
入力信号転送レ - ト	R _I	クロック入力 ^{*4} : 200 ノ - マル入力 : 100	Mbps ^{*5}
出力信号転送レ - ト	R _O	100	Mbps ^{*5}
出力負荷容量	C _O	3000/R _O	pF
電源端子電流 ^{*6}	I _D	V _{DD} , GND端子1本あたりの電源端子電流値 ^{*6}	mA

- * 1 : 単一電源時および二電源時の内部ゲ - ト部分
* 2 : 二電源で3.3V I/Fや2.5V I/Fを行う時のI/O部分
* 3 : 10ms以上継続するDC電流, または平均DC電流
* 4 : クロック入力用I/Oセルの使用が前提
* 5 : bps = ビット/秒

* 6 : V_{DD}, GND端子1本あたりの電源端子電流値

電源種類	最大電流 [mA]		配線層数
	標準電源	追加電源	
VDDE	30	30	4, 5, 6
VDDI, VDD, VSS	34	34	4, 5
	59	59	6

【電源端子の計算方法】配線層数6層フレ - ム (2電源) の場合
V_{DD}, GND端子1本あたりの最大電流: VDDE = 30mA/本, VDDI = VSS = 59mA/本
必要電源本数 (内部電源/外部電源/VSS) : Ni/Ne/Ns
DC内部最大電源電流最大値: I_{imax}, DC外部最大電源電流最大値: I_{emax}
Ni = I_{imax}/59, Ne = I_{emax}/30, Ns = I_{imax}/59 + I_{emax}/30

表5 推奨動作条件

単一電源 (V_{DD} = 1.8V ± 0.15V, V_{SS} = 0V)

項目	記号	定 格			単位
		最小	標準	最大	
電源電圧	V _{DD}	1.65	1.8	1.95	V
Hレベル入力電圧	V _{IH}	V _{DD} × 0.65		V _{DD} + 0.3	V
Lレベル入力電圧	V _{IL}	- 0.3		V _{DD} × 0.35	V
動作接合温度	T _J	- 40		125	

表6 推奨動作条件

二電源 ($V_{DDE} = 3.3V \pm 0.3V / V_{DDI} = 1.8V \pm 0.15V$, $V_{DDI} = 1.5V \pm 0.1V$, $V_{DDI} = 1.1V \pm 0.1V^*$, $V_{SS} = 0V$)

項目		記号	定 格			単位
			最小	標準	最大	
電源電圧		V_{DDE}	3.0	3.3	3.6	V
		V_{DDI}	1.65	1.8	1.95	
			1.4	1.5	1.6	
Hレベル入力電圧	1.8V CMOS	V_{IH}	$V_{DDI} \times 0.65$		$V_{DDI} + 0.3$	V
	3.3V CMOS		2.0		$V_{DDE} + 0.3$	
Hレベル入力電圧	1.8V CMOS	V_{IL}	- 0.3		$V_{DDI} \times 0.35$	V
	3.3V CMOS		- 0.3		0.8	
動作接合温度		T_j	- 40		125	

* 1.1V ± 0.1Vは準備中

表7 推奨動作条件

二電源 ($V_{DDE} = 2.5V \pm 0.2V / V_{DDI} = 1.8V \pm 0.15V$, $V_{DDI} = 1.5V \pm 0.1V$, $V_{DDI} = 1.1V \pm 0.1V^*$, $V_{SS} = 0V$)

項目		記号	定 格			単位
			最小	標準	最大	
電源電圧		V_{DDE}	2.3	2.5	2.7	V
		V_{DDI}	1.65	1.8	1.95	
			1.4	1.5	1.6	
Hレベル入力電圧	1.8V CMOS	V_{IH}	$V_{DDI} \times 0.65$		$V_{DDI} + 0.3$	V
	2.5V CMOS		1.7		$V_{DDE} + 0.3$	
Hレベル入力電圧	1.8V CMOS	V_{IL}	- 0.3		$V_{DDI} \times 0.35$	V
	2.5V CMOS		- 0.3		0.7	
動作接合温度		T_j	- 40		125	

* 1.1V ± 0.1Vは準備中

表8 直流特性

単一電源 ($V_{DD} = 1.8V$ 標準規格)測定条件 : $V_{DD} = 1.8 \pm 0.15V$, $V_{SS} = 0V$, $T_j = -40 \sim 125$

項目	記号	条 件	規 格			単位
			最小	標準	最大	
Hレベル出力電圧	V_{OH}	$I_{OH} = -100 \mu A$	$V_{DD} - 0.2$		V_{DD}	V
Lレベル出力電圧	V_{OL}	$I_{OL} = 100 \mu A$	0		0.2	V
Hレベル出力V-I特性 1.8V CMOS		$V_{DD} = 1.8V \pm 0.15V$	L, Mタイプ(図1-1) H, Vタイプ(図1-2)			
Lレベル出力V-I特性 1.8V CMOS		$V_{DD} = 1.8V \pm 0.15V$	L, Mタイプ(図2-1) H, Vタイプ(図2-2)			
入カリ - ク電流	I_L				± 5	μA
プルアップ /プルダウン抵抗	R_p	プルアップ $V_{IL} = 0$ プルダウン $V_{IH} = V_{DD}$	8	18	40	k

図1 出力特性 (1.8V CMOS Hレベル出力)

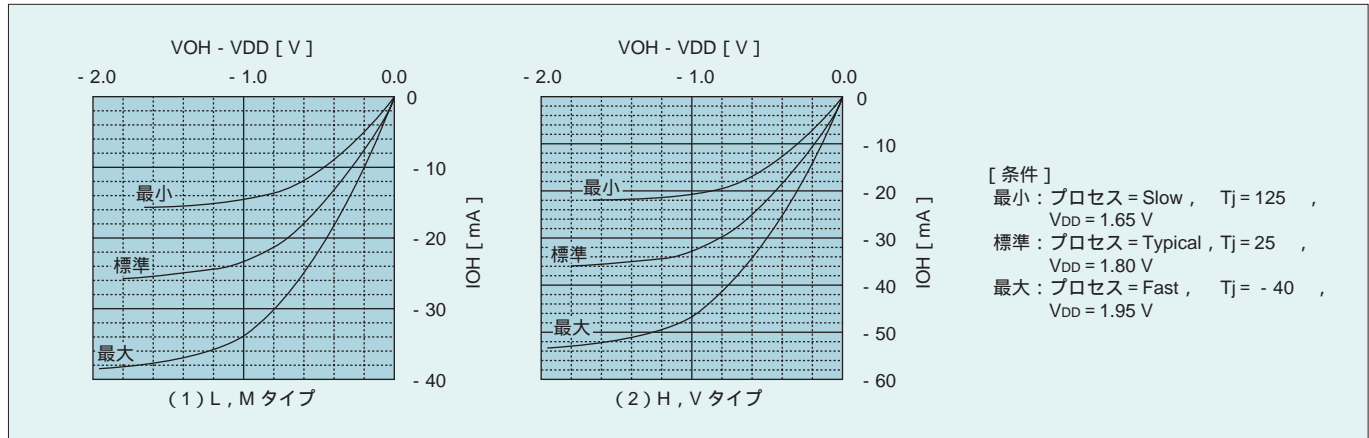


図2 出力特性 (1.8V CMOS Lレベル出力)

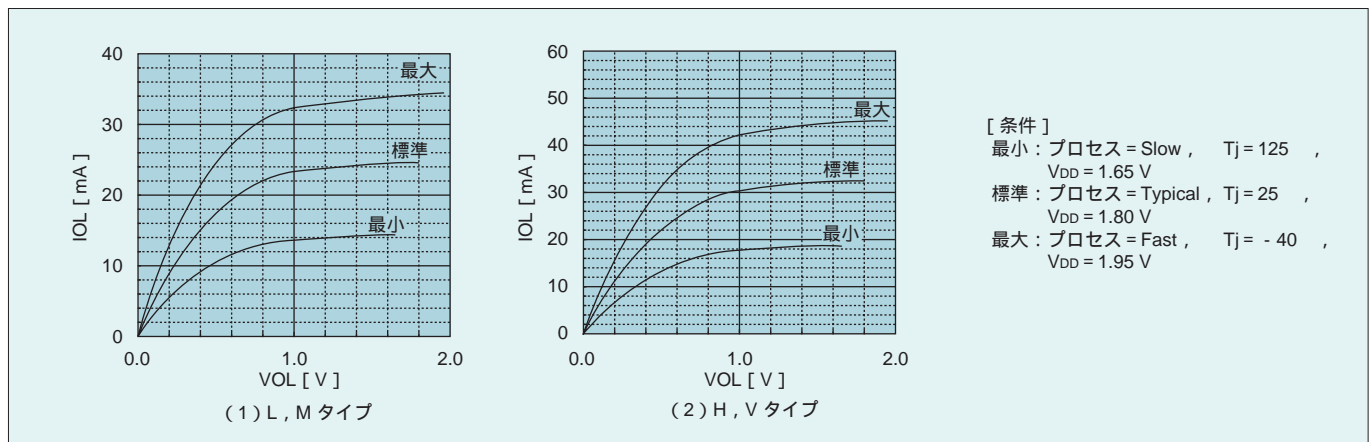


表9 直流特性

二電源 (V_{DDE} = 3.3V/V_{DDI} = 1.8V, 1.5V, 1.1V)

測定条件: V_{DDE} = 3.3V ± 0.3V/V_{DDI} = 1.8V ± 0.15V, V_{DDI} = 1.5V ± 0.1V, V_{DDI} = 1.1V ± 0.1V, V_{SS} = 0V, Tj = -40 ~ 125

項目	記号	条件	規格			単位
			最小	標準	最大	
Hレベル出力電圧	V _{OH4}	3.3V系出力 I _{OH} = -100 μA	V _{DDE} - 0.2		V _{DDE}	V
	V _{OH2}	1.8V系出力 I _{OH} = -100 μA	V _{DDI} - 0.2		V _{DDI}	
Lレベル出力電圧	V _{OL4}	3.3V系出力 I _{OL} = 100 μA	0		0.2	V
	V _{OL2}	1.8V系出力 I _{OL} = 100 μA	0		0.2	
Hレベル出力V-I特性		3.3V系 V _{DDE} = 3.3V ± 0.3V	L, Mタイプ (図3-1) H, Vタイプ (図3-2)			
		1.8V系 V _{DDI} = 1.8V ± 0.15V	L, Mタイプ (図1-1) H, Vタイプ (図1-2)			
Lレベル出力V-I特性		3.3V系 V _{DDE} = 3.3V ± 0.3V	L, Mタイプ (図4-1) H, Vタイプ (図4-2)			
		1.8V系 V _{DDI} = 1.8V ± 0.15V	L, Mタイプ (図2-1) H, Vタイプ (図2-2)			
入力リク電流	I _L				±5	μA
ブルアップ /ブルダウン抵抗	R _p	3.3V系 ブルアップ V _{IL} = 0 ブルダウン V _{IH} = V _{DDE}	10	33	80	k
		1.8V系 ブルアップ V _{IL} = 0 ブルダウン V _{IH} = V _{DDI}	8	18	40	

図3 出力特性 (3.3V CMOS Hレベル出力)

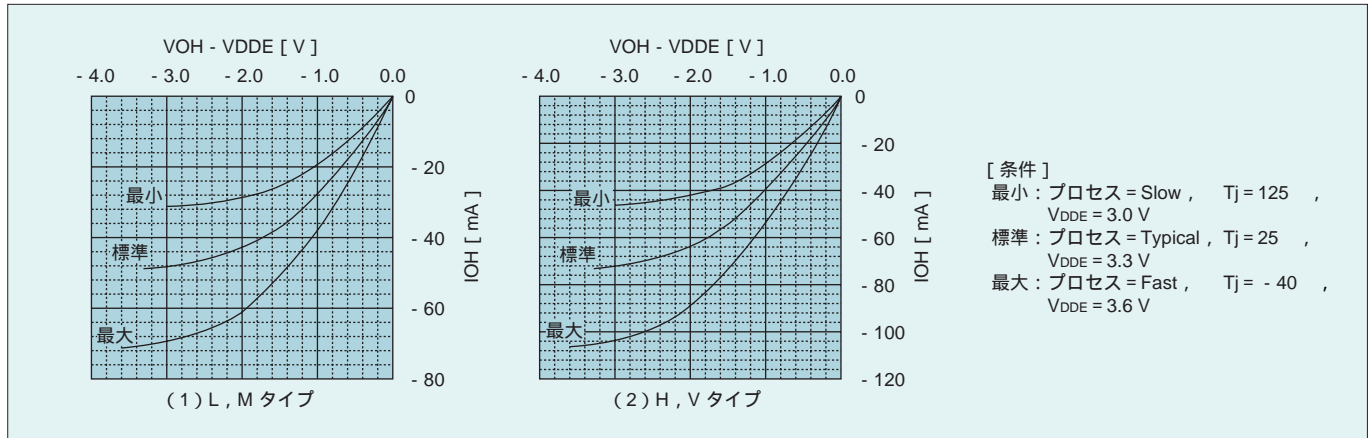


図4 出力特性 (3.3V CMOS Lレベル出力)

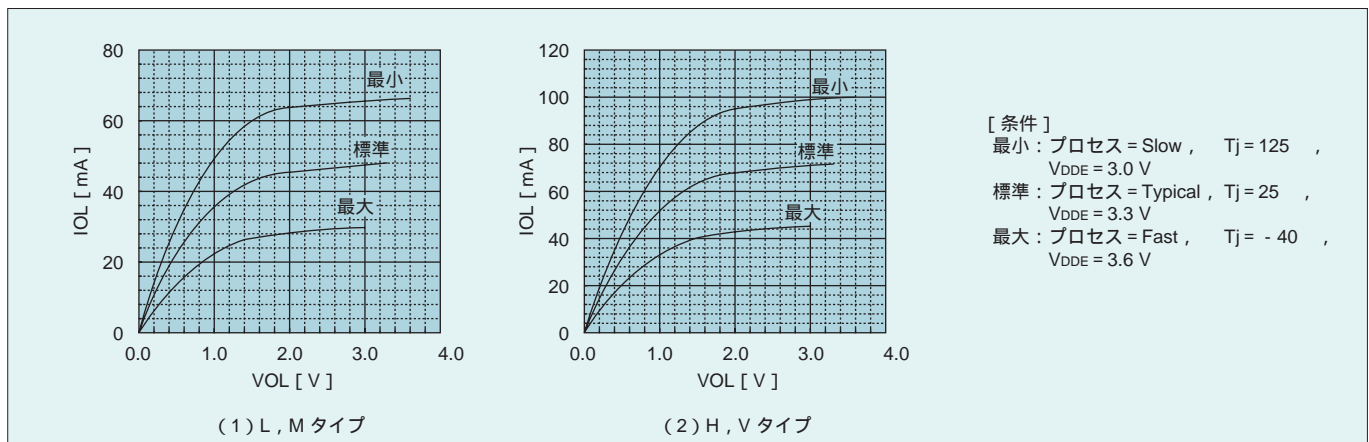


表10 直流特性

直流特性 (二電源: $V_{DDE} = 2.5V/V_{DD1} = 1.8V, 1.5V, 1.1V$)
 測定条件: $V_{DDE} = 2.5V \pm 0.2V/V_{DD1} = 1.8V \pm 0.15V, V_{DD1} = 1.5V \pm 0.1V, V_{DD1} = 1.1V \pm 0.1V, V_{SS} = 0V, T_j = -40 \sim 125$

項目	記号	条件	規格			単位
			最小	標準	最大	
Hレベル出力電圧	V_{OH3}	2.5V系出力 $I_{OH} = -100 \mu A$	$V_{DDE} - 0.2$		V_{DDE}	V
	V_{OH2}	1.8V系出力 $I_{OH} = -100 \mu A$	$V_{DD1} - 0.2$		V_{DD1}	
Lレベル出力電圧	V_{OL3}	2.5V系出力 $I_{OL} = 100 \mu A$	0		0.2	V
	V_{OL2}	1.8V系出力 $I_{OL} = 100 \mu A$	0		0.2	
Hレベル出力V-I特性		2.5V系 $V_{DDE} = 2.5V \pm 0.2V$	TBD			
		1.8V系 $V_{DD1} = 1.8V \pm 0.15V$	L, Mタイプ (図1-1) H, Vタイプ (図1-2)			
Lレベル出力V-I特性		2.5V系 $V_{DDE} = 2.5V \pm 0.2V$	TBD			
		1.8V系 $V_{DD1} = 1.8V \pm 0.15V$	L, Mタイプ (図2-1) H, Vタイプ (図2-2)			
入力リク電流	I_L				± 5	μA
プルアップ /プルダウン抵抗	R_p	2.5V系 プルアップ $V_{IL} = 0$ プルダウン $V_{IH} = V_{DDE}$	TBD	25	TBD	k
		1.8V系 プルアップ $V_{IL} = 0$ プルダウン $V_{IH} = V_{DD1}$	8	18	40	