

# 短期間で開発できる高性能ASIC AccelArray™

求められる機能を早く安価に実現できる，先端テクノロジーの高性能ASICです。高速インタフェースIPを活かして通信/ネットワーク機器の分野に利用できます。

## 概要

このたび開発したAccelArrayは、マスタの共通化や設計作業短縮の仕組みを採用しており、高性能化に伴って増加しがちな開発時の負担を大幅に軽減します。また、高速多信号に対応するために、先端テクノロジーの適用、高速インタフェースIP(3.125Gbps)の搭載、超多ピンのFCBGAパッケージへの実装を行っており、高い性能を発揮できます。設計自由度の高さが特長のFPGAでは満たせない、性能や価格が要求される領域も活用範囲です。

## 特長

### ● 短い開発期間

一般に大規模化や高速化は、複雑で高度な設計を必要とするため、開発期間が長くなります。本製品は、構成要素を製品ごとに再設計する必要がない共通部とカスタマイズ部との2つに切り分け、共通部にバルクマスタと配線3層、カスタマイズ部に残りの配線3層(製品は計6層配線)を割り当てています。製品ごとにカスタマイズする配線層が3層のみに絞られているため、レイアウト設計にかかる期間を従来ASICの1/3程度へ大幅に短縮できます。

### ● 低開発コスト

配線3層のみをカスタマイズする本製品は、設計期間を短くできるため、設計費用を低く抑えられます。また、マスクの製造枚数を少なくできるため、製造コストも低く抑えられます。さらに、製造済みの共通マスクや、特性が保障されているバルクマスタを利用するため、マスク製造に関わる潜在的なリスクを回避できます。

### ● 高性能

本製品は、当社の先端技術である0.11μmプロセステクノロジーを適用しています。同じテクノロジーを適用した高性能ASICのCS91シリーズに相当する、優れた高性能を発揮できる実力を備えています。バルクマスタにはDDR I/Fなどの高速I/Fマクロが埋めこまれているため、それらを活用して高速伝送回路を容易に開発するこ

とができます。また、製品開発前に製造されるため、製品設計前にその電気特性の保証が得られます。

### ● 設計容易化技術

本製品は、設計を容易にするために、可能な部分はあらかじめ設計して基本アーキテクチャに組み込んでいます。

- ・ クロック供給システムはチップ上に8系統あり、その各々に専用のPLLを用意しています。クロックの主幹配線の経路やリピータ挿入場所、クロストークノイズへの対応などはあらかじめ設計済みです。
- ・ スキャン/BIST回路のテスト合成によるレイアウト設計上の負担が増えたり、タイミング設計が難しくならないように、あらかじめ設計や回路の埋め込みを行っています。
- ・ シグナルインテグリティのために、信号配線のシールド/ワイドスペーシング配線、タイミング計算への遅延変動効果を考慮しています。

### ● IPマクロ

本製品では、次のIPマクロをサポートします。  
RAM(1R1W, 2RW), DDR I/F, PLL(出力周波数 25~800MHz), 2.5V-LVCMOS, 3.3V-Tolerant, HSTL, PCML, LVDS, SSTL2, PCI-66, PCI-X, SF14, Hyper Transport, Rapid IO, SPI4P2, XAUI, Fibre Channel, Serial ATA, PCI express(計画中を含む)

### ● パッケージ

超高速・多信号・大消費電力の用途に対応するため、チップにエリアハンブを適用し、パッケージは超多ピンのFCBGAタイプを用意しています。

### ● フレームラインアップ

I/Oの伝送速度により、メガフレーム(400Mbps)とギガフレーム(622Mbps~3.125Gbps)の2つのグループを用意しています。

表1にメガフレームのラインアップを示します(ギガフレームは2004年1Q提供予定)。

表2に仕様、表3に最大定格、表4に推奨動作条件、表5に直流特性を示します。また図1に開発の流れを示します。

\* AccelArrayは富士通株式会社の商標です。

表1 メガフレームラインアップ

|  |                        |     |      |      |      |      |
|--|------------------------|-----|------|------|------|------|
| フレーム名                                    |                        | M10 | M20  | M30  | M40  | M50  |
| I/Oセル数*1                                 |                        | 472 | 696  | 824  | 952  | 1176 |
| FFセル数 [ ×1000 ]                          |                        | 20  | 50   | 70   | 93   | 150  |
| 使用可能ゲート数 [ ×1000ゲート ]                    |                        | 256 | 639  | 895  | 1194 | 1918 |
| ASIC等価ゲート数 [ ×1000ゲート ]                  |                        | 455 | 1139 | 1594 | 2126 | 3416 |
| SRAM容量 [ ×1000ビット ]                      | 2RW-SRAM               | 800 | 1680 | 2240 | 2880 | 4400 |
|  | 1R1W-SRAM              | 60  | 90   | 105  | 120  | 150  |
|  | 合計(最大)                 | 860 | 1770 | 2345 | 3000 | 4550 |
| PLLマクロ数                                  |                        | 8   | 8    | 8    | 8    | 8    |
| パッケージ<br>( [ ]内はボディサイズ,<br>ボールピッチ1.00mm) | FCBGA62[ 27mm sq. ]    |     |      |      |      |      |
|  | FCBGA72[ 29mm sq. ]    |     |      |      |      |      |
|  | FCBGA96[ 33mm sq. ]    |     |      |      |      |      |
|  | FCBGA115[ 35mm sq. ]   |     |      |      |      |      |
|  | FCBGA168[ 42.5mm sq. ] |     |      |      |      |      |

\*1: インタフェースの種類により利用できる数は変わります。

表2 仕様

|            |   |
|------------|---|
| 商品名        | AccelArray  |
| 型格         | MBCA91xxx-yyy<br>( xxxはフレーム名、yyyは製品識別番号。いずれも当社指定 )      |
| プロセス技術     | 0.11 μm SiゲートCMOS,<br>6層配線( 銅配線適用 ), Low-K層間膜,<br>エリアンプ |
| 動作周波数*1    | 333MHz  |
| 基本的インタフェース | 2.5V CMOS, 3.3V Tolerant                                |

\*1: 回路に大きく依存して変わります。

表3 最大定格

| 項目     | 記号   | 条件                         | 定格値                       | 単位 |
|--------|------|----------------------------|---------------------------|----|
| 電源電圧   | VDD  | 1.2V系電源( 内部 ) VDDI         | - 0.5 ~ 1.8               | V  |
|        |      | 2.5V系電源( I/O ) VDDE        | - 0.5 ~ 3.6               | V  |
| 入力電圧   | VI   | 2.5V CMOS                  | - 0.5 ~ VDDE + 0.5( 3.6 ) | V  |
|        |      | 3.3V Tolerant              | - 0.5 ~ VDDE + 3.6( 4.0 ) | V  |
| 出力電圧   | VO   | 2.5V CMOS                  | - 0.5 ~ VDDE + 0.5( 3.6 ) | V  |
|        |      | 3.3V Tolerant( H/L-State ) | - 0.5 ~ VDDE + 0.5( 4.0 ) | V  |
|        |      | 3.3V Tolerant( Z-State )   | - 0.5 ~ 4.0               | V  |
| 保存温度   | Tstg |                            | - 55 ~ +125               |    |
| 動作接合温度 | Tj   |                            | - 40 ~ +125               |    |

\*表内の値は変更となる可能性があります。

表4 推奨動作条件

VDDI = 1.2V ± 0.1V, VDDE = 2.5V ± 0.2V( 二電源 )

| 項目       | 記号            | 規格値 |       |            | 単位 |
|----------|---------------|-----|-------|------------|----|
|          |               | 最小  | 標準    | 最大         |    |
| 電源電圧     | VDDI          | 1.1 | 1.2   | 1.3        | V  |
|          | VDDE          | 2.3 | 2.5   | 2.7        | V  |
| Hレベル入力電圧 | 3.3V Tolerant | VIH | 1.7   | 3.6        | V  |
| Lレベル入力電圧 |               | VIL | - 0.3 | 0.7        | V  |
| Hレベル入力電圧 | 2.5V CMOS     | VIH | 1.7   | VDDE + 0.3 | V  |
| Lレベル入力電圧 |               | VIL | - 0.3 | 0.7        | V  |

\*表内の値は変更となる可能性があります。

表 5 直流特性

| 項目       | 記号  | 条件        | 定格値        |    |      | 単位 |
|----------|-----|-----------|------------|----|------|----|
|          |     |           | 最小         | 標準 | 最大   |    |
| Hレベル出力電圧 | VOH | TBD       | VDDE - 0.2 |    | VDDE | V  |
| Lレベル出力電圧 | VOL | TBD       | 0          |    | 0.2  | V  |
| 入力リーク    | IL  |           | - 10       |    | 10   | μA |
| プルアップ抵抗  | Rpu | VI = 0    | TBD        | 25 | TBD  | k  |
| プルダウン抵抗  | Rpd | VI = VDDE | TBD        | 25 | TBD  | k  |

\* 表内の値は2.5V LVCMOSバッファの場合。値は変更となる可能性があります。

図 1 開発デザインフロー

