

# CMOS 90nmスタンダードセル CS101シリーズ

携帯機器市場向けから、最先端のネットワーク機器や通信機器市場向けのデザインまでを実現する、低消費電力/高速ライブラリセットを備えた90nmスタンダードセルです。設計デザインルールは業界標準に準拠しています。

## 概要

低消費電力化・多機能化・高性能化が要求される携帯機器市場向けから、最先端のネットワーク機器や通信機器市場向けのデザインまでを実現する、90nmスタンダードセル「CS101シリーズ」をご紹介します。

本製品では、製品用途に応じた性能と機能を追求しつつ、低消費電力を実現しています。また、本製品の設計デザインルールは業界標準に準拠しており、流通する各種IPを活用できます。

## 特長

### ●高集積化

ゲート長80nmのトランジスタ(ITSRロードマップ90nm)と、電気的特性への影響を小さくしつつ微細化を実現するための10層微細ピッチ、銅配線、Low-K層間材料技術を導入しました。これらの微細化技術により、0.13  $\mu\text{m}$ 技術の従来品と比べて約2倍の集積度である最大1億ゲート(敷き詰め)を搭載できます。

### ●低消費電力・低リーク電流

消費電力の低減のために電源電圧を下げることは、動作速度の低下を招きます。しかし本製品では、動作速度の低下が起こりにくいセルを用意しています。

特に携帯機器の市場で要求される、待機時の消費電力の抑制のために、トランジスタのリーク電流を従来シリーズの約1/10に低減しています。また消費電力は、従来品1.2V動作時に対して約1/2の2.7nW(インバータ、ファンアウト=1、1MHz動作時の1ゲートあたりの値)へ低減しています。

### ●高速

高性能な動作と低消費電力を両立するために、低リークトランジスタと高速トランジスタを混載できます。

高速トランジスタを採用したライブラリのゲート遅延時間は12ps(インバータ、1.2V動作時)であり、0.13  $\mu\text{m}$ 技術の従来品と比べて

約70%も高速化しています。

### ●IO領域の縮小

従来は専用に設けていた、チップとパッケージを接続するためのワイヤボンディングパッドをIOマクロ上に形成することで、IO領域を縮小しています。これによりチップの小型化が実現できます。

### ●IPマクロ

設計デザインルールは、国内民間企業からの出資により半導体基盤技術の標準化活動を行っている、STARC\*推奨の設計基準を採用しています。これにより、当社IPマクロだけでなく、流通する各種IPマクロも再設計し直すことなく活用できます。

当社から提供を予定しているIPマクロには、高機能なシステムLSIを容易に実現する手段としてCPUマクロ、各種周辺マクロ、メモリ、加算器、乗算器など代表的な演算マクロ、PLL、アナログマクロ、高速伝送I/Fマクロなどがあります。

表1に提供予定のIPマクロ一覧を示します。

### ●設計手法

設計デザインツールとライブラリは業界標準ツール/ライブラリを採用しています。アプリケーションに応じて最適なツールを選択できます。さらに、フロアプラン設計を重視したフローの導入により、設計の初期段階でタイミング収束性などを短期間で見積もることが出来ます。これにより実レイアウトでのイタレーションを防ぎ、設計期間の大幅な短縮が実現できます。

### ●パッケージ

チップの狭ピッチ、ハンブ技術と多ピンパッケージの開発により、ネットワーク市場で要求される多ピン・高速伝送に対応しました。従来シリーズで提供中のパッケージも利用できるため、従来品との置換えもスムーズにできます。

- ・FCBGAパッケージ：最大2116ピン
- ・EBGAパッケージ：最大896ピン
- ・FBGAパッケージ：最大460ピン
- ・QFPパッケージ：最大368ピン
- ・HQFPパッケージ：最大304ピン(予定を含む)

表2に仕様、表3に最大定格、表4に推奨動作条件、表5に直流特性を示します。

\* 株式会社半導体理工学研究センター

表1 IPマクロ一覧

CPU/DSP	ARM9, ARM7TDMI 他 通信用DSP, デジタルAV用DSP 他
インタフェースマクロ	PCI, IEEE1394, USB, IrDA 他
マルチメディア処理マクロ	JPEG, MPEG 他
ミックスドシグナルマクロ	ADC, DAC, OPAMP 他
コンパイルドマクロ	RAM(1ポット, 2ポット), ROM, 乗算器, 加算器, 積和器 他
PLL	アナログPLL, デジタルPLL
I/Oマクロ	LVDS, T-LVTTL, P-CML, PCI, SSTL2, HSTL, GTL, AGP, USB, IEEE1394 他
高速I/Fマクロ	2.5Gbps I/F, 3.2Gbps I/F, 10Gbps以上 I/F 他

(検討中を含む)

表2 仕様

シリーズ名	スタンダードセル CS101	
品名	MB8AAxxxx(末尾4文字は当社指定)	
プロセス技術	80nm SIゲートCMOS 7層~10層配線(Cuを適用) Low-K層間膜	
搭載ゲート数	最大1億ゲート	
電気的特性	遅延時間*1	12ps
	消費電力*1	2.7nW/MHz
	インタフェースレベル	1.2V*2 2.5V*3 3.3V*4

\*1: インパタセル, ファンアウト1

\*2: 1.2V単一電源

\*3: I/O用電源として2.5Vを供給することで可能となります。

\*4: I/O用電源として2.5Vを供給し, トレラント回路を利用します。

表3 最大定格

項目	記号	条件	定格値	単位
電源電圧	VDD	2.5V系電源(I/O)	-0.5~3.6	V
		1.2V系電源(内部)	-0.5~1.8	V
入力電圧	VI	2.5V系電源	-0.5~VDD+0.5(3.6)	V
出力電圧	VO	2.5V系電源	-0.5~VDD+0.5(3.6)	V
保存温度	Tstg		-55~+125 (プラスチック)	

表4 推奨動作条件

VDDI = 1.2V ± 0.1V, VDDE = 2.5V ± 0.2V(二電源)

項目	記号	規格値			単位
		最小	標準	最大	
電源電圧	VDDI	1.1	1.2	1.3	V
	VDDE	2.3	2.5	2.7	V
Hレベル入力電圧	VIH	1.7		VDDE + 0.3	V
Lレベル入力電圧	VIL	-0.3		0.7	V
動作接合温度	Tj	-40		125	

表5 直流特性

VDDI = 1.2V ± 0.1V, VDDE = 2.5V ± 0.2V(二電源)

項目	記号	条件	規格値			単位
			最小	標準	最大	
Hレベル出力電圧	VOH	IOH = -100 μA	VDDE - 0.2		VDDE	V
Lレベル出力電圧	VOL	IOL = 100 μA	0		0.2	V
Hレベル出力電流	IOH	Lタイプ, VOH = VDDE - 0.4V			-2	mA
		Mタイプ, VOH = VDDE - 0.4V			-4	mA
		Hタイプ, VOH = VDDE - 0.4V			-8	mA
Lレベル出力電流	IOL	Lタイプ, VOL = 0.4V	2			mA
		Mタイプ, VOL = 0.4V	4			mA
		Hタイプ, VOL = 0.4V	8			mA
入力リク	IL		-10		10	μA
プルアップ抵抗	Rpu	VI = 0		25		k
プルダウン抵抗	Rpd	VI = VDDE		25		k

\* 値は変更となる場合があります。