

ARM9マルチCPU搭載T-Engineボード

ARM™

SoCプラットフォームを実装したARM9評価用LSIを開発し、標準T-Engineボードに搭載しました。これに接続できるFPGAボードも準備しており、ASICの開発リスクを低減できます。

ARM™ベースT-Engineボード

当社はこのたび、ARM9ベースSoCプラットフォーム*1を開発しました。また、これを実装したマルチCPU評価用LSI「MB87Q1100」を開発し、標準T-Engineボードに搭載しました。

T-Engineとはユビキタス・コンピューティング環境構築のための、オープンリアルタイムシステム標準開発環境です。モデルウェアを円滑に流通させるため、ハードウェア、リアルタイムOS、オブジェクトフォーマット仕様が規格化されています。

表1にARM9マルチCPU搭載T-Engineボードの概要を示します。

* T-Engineプロジェクトの詳細およびT-Engineフォーラムに関しては、<http://www.t-engine.org/>をご覧ください。



写真1 ARM9マルチCPU搭載T-Engineボード

SoCプラットフォームとASIC開発環境

SoCプラットフォームを使用することで、ASICを効率良く短期間に設計することができます。

また当社では、T-Engineボードに接続可能なFPGAボードを準備しました。このFPGAボードにお客様のロジックを焼きこみ、ASIC開発前に機能動作確認を行うことにより、ASICの開発リスクを低減できます。

表2にFPGAボードの概要を示します。

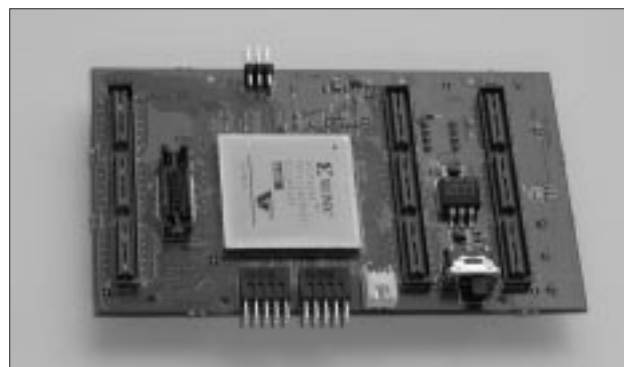


写真2 FPGAボード

MB87Q1100

本項では、標準T-Engineボードに搭載するマルチCPU評価用LSIのMB87Q1100についてご紹介します。

本LSIには、ARM926EJ-S™とARM946E-S™の両CPUを搭載しています。ARM926EJ-SはJava™コードの高速処理を可能にするJazelle™*2技術を搭載しており、携帯電話やPDA向けのアプリケーションプロセッサです。Symbian*3 OS、μITRON、

Windows[®] CE, Linux, Palm OS などのさまざまなOSに対応しています。一方ARM946E-Sは、ハードディスクやMOなどの組み制御機器向けに最適なコントローラです。

本LSIは、両CPUを同時に動作させるデュアルCPUモードと、片方のみを動作させるシングルモードをサポートします。また、マルチマスタシステムのバス性能を向上させるために、マルチレイヤAHB^{*4}を採用しています。

図1にMB87Q1100のブロック図を示します。

本LSIの特長は次のとおりです。

- プロセス：CMOS 0.11ミクロンプロセス
- パッケージ：FBGA^{*5} 400(15mm × 15mm)
- 動作周波数：CPU...200MHz, AHB...100MHz, APB...50MHz
- CPU消費電力：450mW
(デュアルCPUモード時, CPU:200MHz動作時, 標準条件)
- CPU：ARM926EJ-SとARM946E-Sを搭載
- キャッシュ：
 - 命令：16Kバイト, データ：16Kバイト(両CPU共)
- TCM(Tightly Coupled Memory):
 - 命令：64Kバイト, データ：32Kバイト(両CPU共)
- 動作モード：ARM926EJ-SとARM946E-Sの両方のCPUが動作するデュアルCPUモード, ARM926EJ-SとARM946E-Sのいずれかが動作するシングルCPUモードをサポート
- バス：マルチレイヤAHBを採用
- 外部拡張AHB：AHB-Lite^{*6}外部拡張機能を内蔵しており、お客様が設計したAHBのマスタとスレーブモジュールを本チップに接続可能
- ギア機能：CPU, AHB, APBの各々に対して基準クロックに対する周波数比を設定できるギア機能を搭載
- 低消費電力機能：CPUのみの動作を止めるスタンバイモード, LSI内のすべてのクロックを止めるストップモードをサポート



写真3 MB87Q1100外観

- メモリコントローラ：チップセレクトはSRAMとフラッシュメモリ用に8本, SDRAM用に1本をサポート
- DMA(ダイレクト・メモリ・アクセス):
 - 転送モードはブロック, バースト, デマンド, ビートをサポートしており, 8チャンネル搭載
- そのほかの周辺回路
 - ・ 割り込みコントローラ
 - ・ UART: 2チャンネル
 - ・ タイマ: 2チャンネル × 2
 - ・ GPIO(General Purpose Input/Output)

おわりに

当社は今回開発したARM9マルチCPU搭載T-Engineボードのご提供により、幅広くお客様のASIC開発に貢献していきたいと考えています。

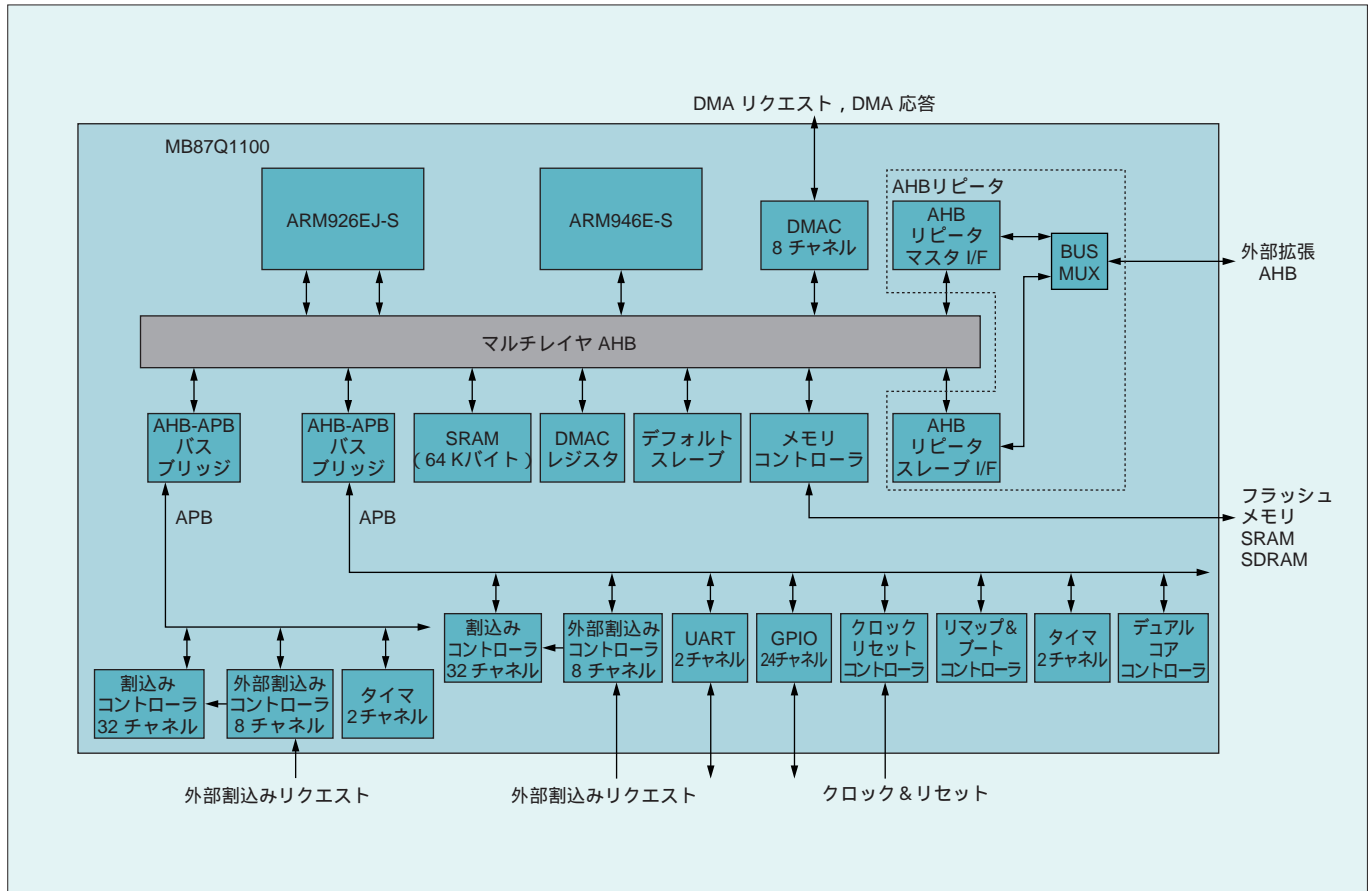
表1 ARM9マルチCPU搭載T-Engineボードの概要

CPUボード	CPU	富士通MB87Q1100(ARM926EJ-S, ARM946E-S 共に200MHz)
	フラッシュメモリ	16Mバイト
	SDRAM	64Mバイト
	入出力I/F	USB(ホスト), PCカード, シリアル, eTRONチップ, ヘッドフォン出力, マイク入力
	その他	リアルタイムクロック
	電源	ACアダプタ
	外形寸法	120mm × 75mm(突起物は除く)
LCDオプション	仕様および解像度	TFTカラー, 240 × 320ドット
	その他の機能	タッチパネル, キースイッチ(3個)
	外形寸法	120mm × 75mm

表2 FPGAボードの概要

FPGA	Virtex 6000 8000/4000/3000搭載可
入出力I/F	AHBバスI/F, 汎用I/OバスI/F
その他	スタック可
外形寸法	125mm x 75mm

図1 MB87Q1100ブロック図



- * 1 : SoC (System On a Chip) プラットフォーム :
さまざまなSoCで共通に使用される土台となるプロセッサ・サブシステム。
CPU, バスおよび周辺モジュールから構成される。
- * 2 : Jazelle : JazelleテクノロジーはJava向けの拡張命令セットです。Javaバイトコードをハードウェア内で直接実行することにより、少メモリ、低消費電流で、Javaアプリケーションを高速で実行させることができます。
- * 3 : Symbian社 : 音声通話、ワイヤレス・インターネットアクセス、演算処理のすべての機能を兼ね備えた携帯電話を実現するオペレーティングシステムを、世界中の大手携帯電話メーカーに供給しています。詳しくは、Symbian社のWebサイト(<http://www.symbian.com/>)をご覧ください。
- * 4 : マルチレイヤAHB : ARM AMBA (Advanced Micro Bus Architecture) オンチップ相互接続方式の性能を改善したもので、マルチマスタシステムでのバス帯域幅を増大させます。
- * 5 : FBGA (Fine pitch Ball Grid Array) : 表面実装型小型パッケージ。
- * 6 : AHB-Lite : AMBA AHB (Advanced High-performance Bus) 仕様のサブセットで、シングルマスタのみ使用する設計に適しています。シングルマスタシステムでも、マルチレイヤAHBシステムでも使用できます。
- * ARM, ARM926EJ-S, ARM946E-S, Jazelleは、日本における英国ARM Limitedの商標です。
- * Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。
- * Palm OSは、米国Palm, Inc.またはその子会社の米国およびその他の国における商標です。
- * Javaは、米国Sun Microsystems, Inc.の米国およびその他の国における登録商標または商標です。
- * その他文中に記載の会社名および製品名は、各社の商標または登録商標です。