

90nm CMOSシステムLSI CS101シリーズ

低消費電力を要求するモバイル機器から、膨大なデータを高速処理するデジタルAV機器，サーバ・ネットワーク機器まで，広範囲なコンシューマ市場をカバーするためのLSIです。

はじめに

多機能携帯電話やデジタルカメラ，DVDなどのデジタル家電およびブロードバンドインターネットが急速に普及しています。これらの機器の性能を左右するシステムLSIへの要求には幅広いものがあります。

システムLSIは複雑なシステムを1チップ化することができ，機器の低消費電力化・小型化・高性能化を実現することが可能です。

「CS101シリーズ」は，「CS100」の高速性を維持しつつ民生用に最適な改良を加えた90nm CMOSテクノロジー「CS100A」を採用したASIC (Application Specific Integrated Circuit) です。

本製品では，先端デバイスに要求される低消費電力化や高速化を支える技術として，業界最高水準の超低リークトランジスタを採用しました。消費電力は従来製品「CS91シリーズ」の1/2を実現し，高速トランジスタや銅配線・Low-k材料により1.2GHzの高速動作が実現できます。

本稿では，CS101シリーズを支える90nm CMOS技術とLSI技術を紹介します。

90nm CMOS技術

本項では，携帯機器からネットワーク向けまで幅広い分野に対応するためのベースとなる90nm CMOS技術について解説します。

半導体素子の微細化により，電源電圧を小さくすることが可能となったため，現在は1.2Vと1.0Vが主流です。電源電圧を下げれば消費電力は小さくなる一方，トランジスタのオンとオフを切り替える閾値電圧も小さくなります。動作速度は向上しますが，トランジスタがオフの状態にもかかわらず，トランジスタのソースとドレイン間に流れるリーク電流が大きくなるという一面があり，トランジスタの消費電力を増大させる大きな原因となっています。また，消費電力は動作スピードにも依存します。つまり，LSIの特長を示すスピードと消費電力はトレードオフ関係にあります。

本製品では，このトレードオフ関係をアプリケーションに応じて使い分けることができるように，4種類の異なる閾値電圧を持つコアトラ

ンジスタを採用しています。また，リーク電流はスピードによらず消費するので，これを抑えるため電源電圧は1.2Vを使用しています。

●低リークトランジスタ

携帯電話の待受け時間は，アプリケーションの動作にかかわらずリーク電流に左右されます。特に携帯機器市場で要求される待機時の消費電力を抑制するために，超低リークトランジスタを採用したセルライブラリにおいて，トランジスタのリーク電流は従来シリーズに比べて1/10の25pA/ゲートへ低減できました。

●コアトランジスタ混載

消費電力を抑えて処理速度を向上させたいというご要求に応え，本製品は閾値の異なる4種類(低リーク，標準，高速，超高速)のコアトランジスタを用途に応じて混載することができます。例えば待機時のリーク電流を抑制する場合は，閾値を高め設定した低リークトランジスタを用い，アプリケーションの動作時にスピードが必要な回路は，閾値を低めに設定した高速トランジスタを用いることができます。

図1にデジタル家電へのトランジスタ混載を示します。

●銅配線・Low-k技術

LSI内部を伝播する遅延時間は，トランジスタを用いたゲート遅延時間と配線遅延時間に分けられます。微細化によりトランジスタ性能は向上しますが，配線が細くなることで抵抗が大きくなり，配線間隔が狭くなることで容量も大きくなります。このため伝播遅延時間に占める割合は，ゲート遅延時間より配線遅延時間の方が大きくなる傾向にあります。

また，抵抗値増加により電源配線で生じるIR-Drop(電圧降下)が課題となります。電圧降下によりゲートに印加される電源電圧が変動した場合，ゲート遅延時間が非線形的に増加し，テクノロジーとして電源電圧を下けているぶん，電圧降下が大きい場合は動作可能な電圧を満たせない可能性が出てきます。

さらには，配線間の容量を介して生じるクロストークノイズにより，ゲート遅延時間が変動するなどの現象を考慮する必要があります。これらの複雑な課題を考慮してLSIを設計するためには，繰り返しタイミング検証を行うことになり，設計開発期間の大幅な遅延を招く

こととなります。

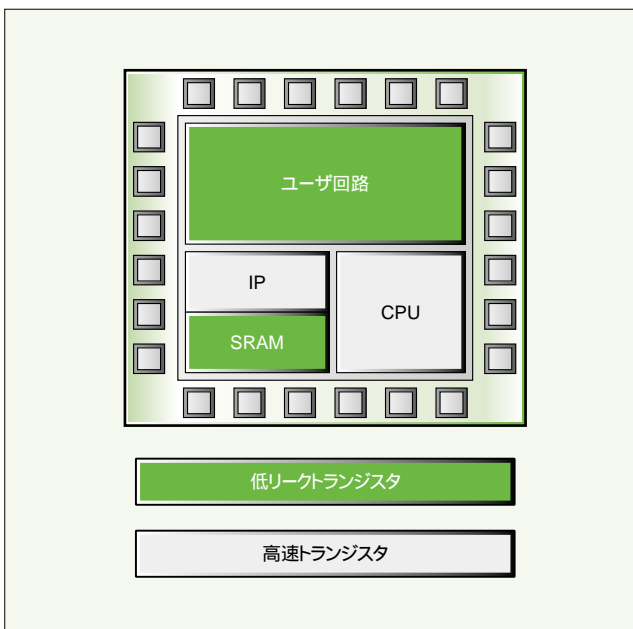
本製品では、これらの課題への影響を抑えつつ、最小配線ピッチ0.28 μm 、10層配線を実現するため、銅配線と層間膜には全層Low-k(誘電率2.9)材料を採用しています。銅配線とLow-k技術による主な利点は2つあります。

1つは遅延時間の低減です。配線を駆動するゲート抵抗と配線抵抗との関係により、ゲート抵抗が大きい場合の遅延時間は配線容量への充放電時間が支配的であり、配線抵抗が大きい場合は配線遅延が支配的となります。回路ブロック間を結線することを想定した配線では、銅配線とLow-k適用により配線グリッドの長さあたりの抵抗を従来比の20%、容量を30%削減することができるため、遅延時間の性能向上に貢献します。さらに、チップ内部におけるIR-Dropで生じる局所的な遅延時間変動を抑えることができます。また、消費電力は容量値に比例するため、消費電力の削減にも効果があります。

2つめに、クロストークノイズを低減することができるため、設計開発期間の短縮につながります。クロストークノイズとは、信号が変化する際に配線間の結合容量を介して生じるノイズです。並行する配線の一方が信号変化すると、もう一方の配線にノイズが発生し、回路の誤動作を起こす可能性があります。さらに、両方の配線が同時に信号変化した場合は、遅延時間の変動を起こします。この遅延時間変動は、信号の位相により速くなったり遅くなったりします。

この影響を設計CAD上で考慮してタイミング検証することは可能ですが、LSIの大規模化に伴い1回の検証時間が増加しているうえ、タイミングを満足させるまで繰り返し検証しなくてはなりません。これらの課題に対し、結合容量を小さく抑えることができるLow-k材料は、短期間に品質の高い設計を可能にする技術です。

図1 トランジスタ混載



LSI技術

本項では、先端デバイスに要求される低消費電力化や高速化を支えるトランジスタと配線技術を、LSIに適用する技術について解説します。

●トランジスタの商品適用

図2にロジックセルライブラリの特長を示します。

分野に応じて3種類のセルハイト(セル高さ)、4種類のコアトランジスタが選択できるようにロジックセルライブラリを用意しました。セルハイトのベースとなるのはCS101Sタイプで、CS101MとCS101Hタイプは、目標周波数を実現させるために電源配線やトランジスタサイズを最適化したものです。

・CS101Sタイプ

携帯機器やデジタル家電の、低消費電力化・高集積化が実現できます。低リークトランジスタを使用した場合、リーク電流を従来製品の1/10に削減できるほか、1ゲートあたりの消費電力は従来製品比1/2の2.7nWとなります。ゲート間を接続する配線性を考慮したうえでセルハイトを最小化し、集積度は2倍の1mm²あたり419.5kゲートとなります。スピードが要求される回路にも対応できるように、標準・高速トランジスタの混載が可能で200MHzまで対応できます。

・CS101Mタイプ

デジタル家電で高性能な動作が要求されるアプリケーションに適用できるよう、動作周波数は500MHzまで対応するようにしました。チップの小型化に必要な配線性はCS101Sタイプの特長を生かしています。標準・高速トランジスタを混載することで高速動作が可能で

・CS101Hタイプ

サーバやネットワーク機器向けに高性能動作を実現可能とします。標準・高速・超高速トランジスタを使用し、周波数が高く負荷が大きい場合にも対応できる電源構造を持ち、従来製品より25%性能を向上させた1.2GHzまで対応できます。

●銅配線の商品適用

配線層数は、回路規模や消費電力などに応じて7層から10層まで対応しました。1層目から5層目までは、市場に流通する各種IP(Intellectual Property)マクロを活用できるように配線最小ピッチ0.28 μm と厚さを固定ルールとし、上層についてはトランジスタ同様にオプションを設けています。

最上層から3層目において、信号配線チャネルを優先する場合には配線の厚さが1.6倍で配線ピッチ2倍(0.56 μm)のSemi-global層を適用します。最小ピッチ配線と比べて抵抗を1/4に抑え、配線遅延時間への影響を抑えつつ配線チャネルを確保し、チップの小型化に有効です。また電源特性を優先させる場合は、配線の厚さが3.6倍で配線ピッチ3倍(0.84 μm)のGlobal層を適用させることができます。最小ピッチ配線に比べて抵抗を1/14に抑え、回路で消費する電力と目標IR-Drop量から、設計初期段階で最適な電源パターン構造を見積もることにより、消費電力が50W規模の大チップで

もIR-Dropを5%以下に抑える電源デザインが可能です。またGlobal層は、チップで長距離となる配線の用途を想定していますが、クロック伝送用の配線に用いた場合、ノイズの影響を防止するシールド配線や専用太幅配線を駆使することにより1.2GHz高速信号伝送が可能です。

●低消費電力化技術

携帯機器やデジタル家電などで必要となる低消費電力技術について解説します。

消費電力は容量値と電源電圧の2乗に比例します。容量値については、Low-k技術と微細ピッチにより30%削減が可能です。電源電圧は多電源設計に対応しています。

従来は、論理階層ごと(回路機能ごと)に電源電圧を動作保証範囲内で分け、待機状態や動作スピードが要求されない場合は、回路に印加する電源電圧を下げることで消費電力を削減していました。実現には、論理階層ごとにレベルシフト回路を用いることで、回路間の電圧差を調整していました。

しかしレベルシフト回路だけでは、回路動作に必要な閾値電圧より下げられないという課題があります。閾値より下げた場合や電源をオフにした場合は、動作回路ブロックの入力ゲートが中間レベルとなり、PMOSとNMOSの両トランジスタがオン(通常動作では、一方がオン)となるために、電源とGND間にDC的な電流パスが生じ、消費電力削減と相反する動作が起こる可能性があります。本製品ではその改善を図るため、電源シーケンス(部分的な回路機能ごとに電源オン・オフ)に対応した回路を用意しました。常に電源オンである回路に配置し、専用信号を制御することにより、隣接回路が電源

オフとなった場合でもDCパスは起こらないため、大幅な消費電力の削減が可能となります。

●小型化技術

多ピンでチップサイズ縮小化を図るために、最小のIO幅は40μmとし、パッケージとチップを接続するためのパッドについても従来より20%小さい140μm狭ピッチとしました。

さらに、従来は専用領域に配置していたワイヤボンディングパッドをIOマクロ上に配置しました。銅配線とLow-k材料による配線構造は、従来のガラス材質より機械的強度が弱く、パッド下にIO回路を配置すると、パッケージ組立て前のパッドを用いた試験やワイヤボンディング時の荷重で回路の配線に潰れや断線などのダメージを受けやすくなります。しかし、試験と組立て時の応力に応じて、パッドで使用する配線層を最適化し、パッド下の配線間を接続するVia配置をダメージの受けにくい構造にすることにより実現可能としました。

図3にIOマクロ上パッドを示します。

●高速化技術

サーバやネットワーク機器などで必要となる高速化技術について解説します。

1.2GHzの高速クロックをLSI内に分配するために、配線を駆動するクロックゲートのドライブ抵抗と配線抵抗が等しくなるように複数のクロックドライバを用意しました。これにより配線での信号劣化が抑えられ、高速信号の伝送が可能となります。また、配線での信号劣化を抑えるためGlobal層に信号端子を設け、LSI内で、主に論理階層内の配線に使用する下層配線を用いないでもクロック配線が行われるような構造としました。

図2 ロジックセルライブラリの特長

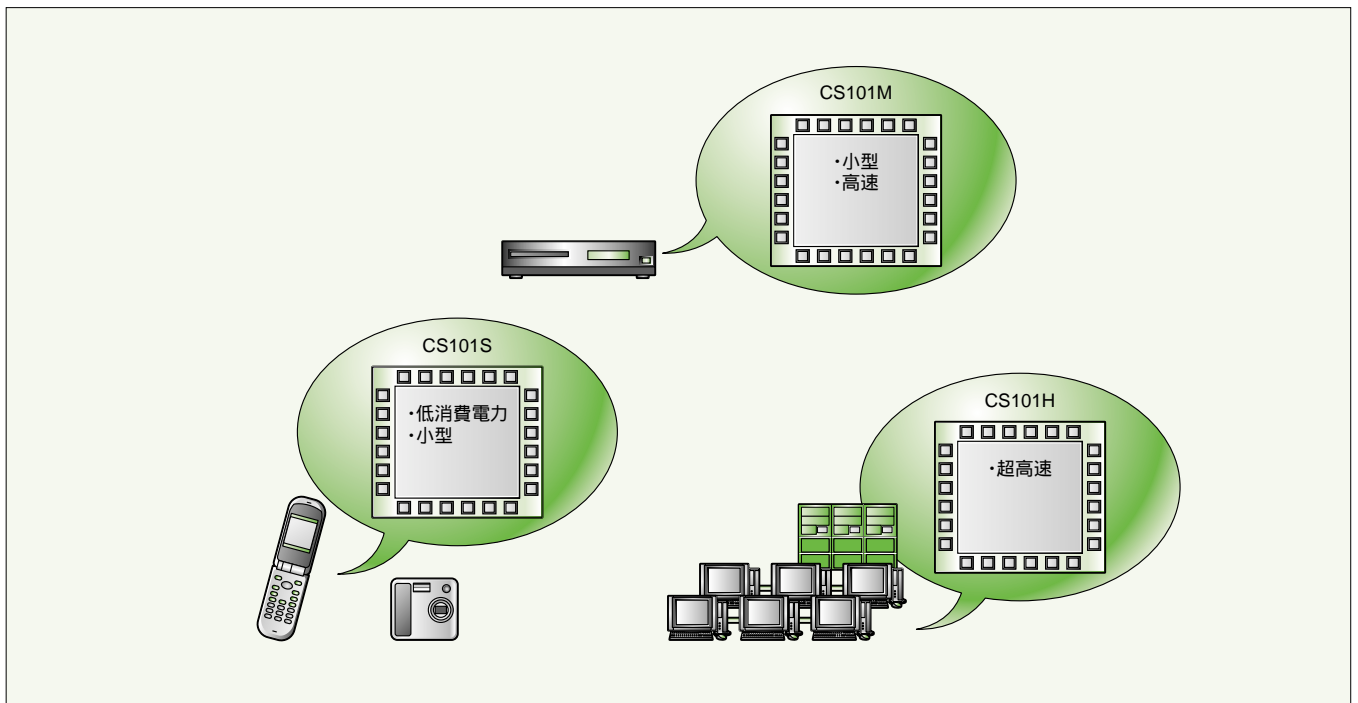
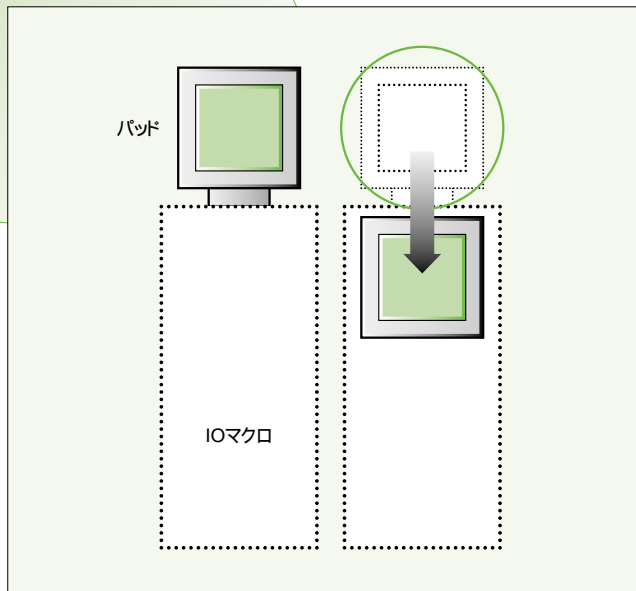


図3 IOマクロ上パッド



従来のIO領域は、LSIチップの周辺1列に配置してIOマクロ上をリング状に電源接続していました。しかし多ピン化に伴い、フリップチップ実装の場合では、多段IOと呼ばれる周辺から中央に向けて2段、3段と複数のIOマクロを配置する方式が可能です。IO領域が拡大され、ユーザ回路領域との距離が広がるため、高速伝送の妨げとなります。このため、IOを部品として規格化し、部品を組み上げることで容易にIO領域を構成し、IO領域の隙間にユーザロジック領域を設ける構造としました。この際、従来のIOマクロ上を電

源リングで構成する方法では、ロジック回路の電源がIO上リングから引き出されるため、高速動作における電源構造としては不足しますが、最上層からメッシュ構造の電源で構成することにより、IOとロジック回路を共有できる電源としました。

●配線技術

大規模なSRAMマクロでは、ビット不良を救済するためのフューズ搭載が必須となります。SRAMマクロ内にフューズを配置すると、レーザ切断などを行うフューズ上には信号配線が引けないために迂回させる必要がありました。本製品では、フューズをチップ周辺領域など、ブロック間やクロック分配配線の妨げにならないような場所にまとめて分離配置することにより、SRAM上の配線禁止領域がなくなり、最短で配線が引けるようになりました。

最後に

当社は、低消費電力化・小型化が要求される携帯機器やデジタル家電機器向けから、高速動作の要求されるネットワークやサーバ機器向けまで、幅広い分野に対応可能なシステムLSI基盤「CS101シリーズ」を開発しました。

低リークトランジスタ、Low-k材料や多電源設計により、消費電力を従来製品の1/2にすることが可能となりました。さらに、微細加工技術やIO上パッドにより従来比1/2の小型化を、高速トランジスタや銅配線により従来比25%の高速化を実現することが可能となりました。

今後は、製品用途を拡大するために、ASICで高騰する開発費の削減や大規模なLSIの短期間での開発を目指して本基盤技術を展開する予定です。