

# 90nm CMOS ASIC リファレンスデザインフロー

90nmテクノロジーのASIC展開に併せて、リファレンスデザインフローと名付けたLSIインプリメンテーションのための設計環境を構築しました。

## はじめに

LSIの微細化が進むにしたがい搭載可能なゲート数は増加し、昨今のASIC Application Specific Integrated Circuit開発では、1,000万ゲートを超えるチップの設計を手掛けることも多くなってきました。CS101シリーズでは最大1億ゲート(CS91シリーズの約2倍)のLSIも実現可能です。先端テクノロジーへのインプリメンテーションでは、複雑化・大規模化しているデザインの見通しの悪さ、タイミング収束性、各種のLSIノイズなど、微細化・新素材の採用によるさまざまな問題が現れています。そこで今回、90nmテクノロジーのASIC展開と併せて、「リファレンスデザインフロー」と名付けたLSIインプリメンテーションのための設計環境を構築しました。

本稿では、リファレンスデザインフローの特長である「フィジカルプロトタイピングによるデザインの見積もり」「タイミング最適化手法」「LSIノイズ対策」「デザインフローの柔軟性」と各種問題の関連について解説します。

## フィジカルプロトタイピング

本番のレイアウト設計でのイタレーション(手戻り)は、その発生時期によっては開発期間の増大につながります。本番レイアウトでの大きなイタレーションを排除したり、小さなイタレーションも極力排除するために重要なことは、本番レイアウト前に設計データを十分検証し、事前に問題を見つけ対処して設計を完了できるデータにしておくことです。しかし、チップのインプリメンテーション前に検討すべき問題は次のように非常に多岐にわたり、各要素が密接に関連しているものも多々あります。

### ●電源配線の電圧降下(IR-Drop)は目標値以内に収まるか?

目標値に収まっていない場合は電源の補強が必要となり、補強の程度によっては電源占有率、電源端子数、配線層数、チップサイズへ影響を及ぼします。

### ●同時スイッチング出力ノイズ(SSOノイズ)は許容範囲内に収まるか?

SSOノイズが大きくなるとLSI外部へのノイズや遅延に影響するた

め、SSOノイズが許容値以下になっているかを早い段階で確認する必要があります。SSOノイズを抑えるには電源端子位置、数、IO種類などを検討する必要があります。

### ●配線性

チップサイズ、フロアプラン、配線層数、電源占有率への影響を考慮して早期に配線性を見積もります。

### ●タイミング収束性

フロアプラン、タイミング制約、タイミングマージン、IR-Drop(IR-Dropが大きくなると、素子の遅延も大きくなりタイミング設計が厳しくなる)が与える影響を見積もり、タイミング収束性を検討します。

従来は、補助ツールなどを利用してこれらを机上で算出し、論理設計が完了する前のデータなどを利用してトライアルレイアウトを行うことで確認してきました。しかし、回路の複雑化に伴い算出手順も複雑化し、また回路規模の増大によってトライアルレイアウトでの設計ツールの処理時間が増大して、十分に課題の検討を行うことが難しくなってきました。

そこで事前見積もりとラフな配置・配線を行い、検討すべき課題に目処をつけていくことを目的に「フィジカルプロトタイピング」というフェーズを設定しました。(図1)

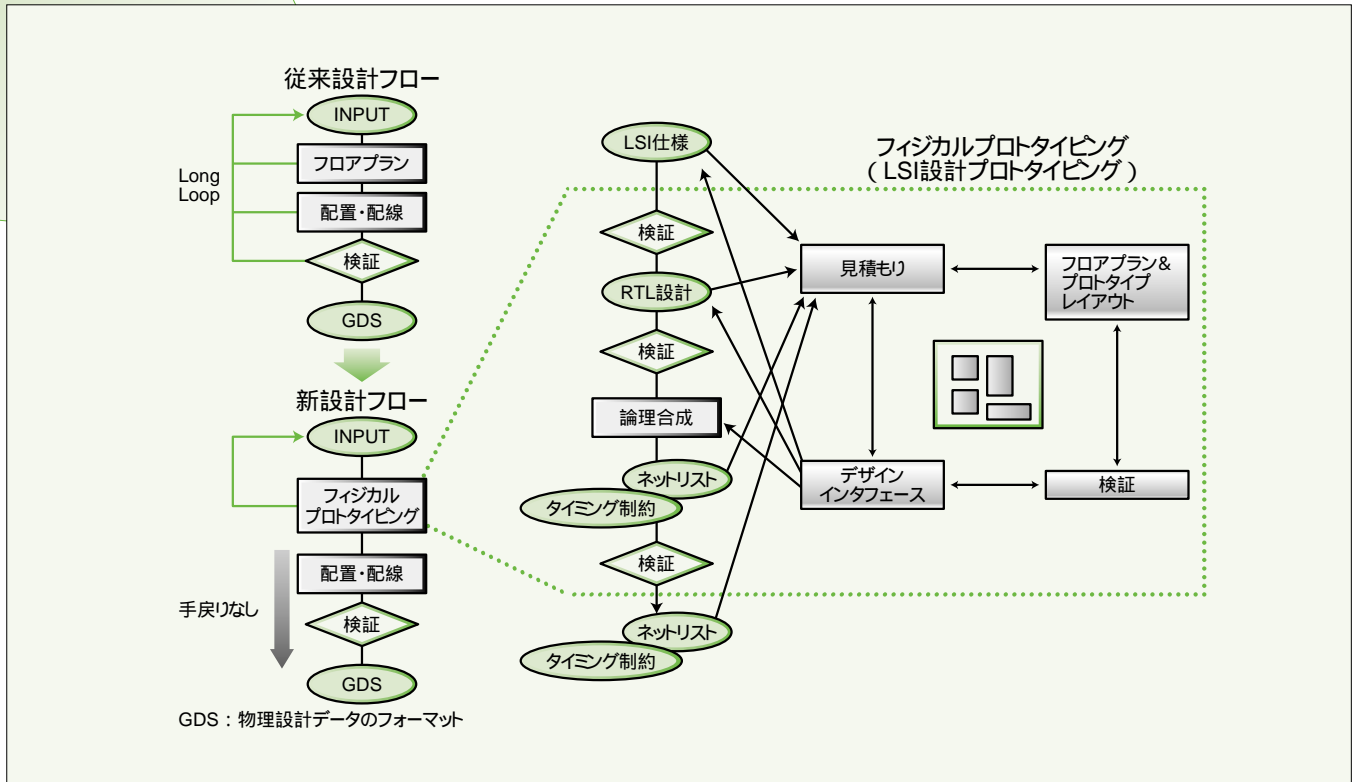
このフェーズでは、デザインデータの質を可能な限り上げるための作業を行います。またこの作業では、デザインをよく理解しているASICユーザーとチップインプリメンテーションに詳しいASICベンダの共同作業が重要となり、お互いの専門性を駆使して本番レイアウトで手戻りのないデータを作り上げていく必要があります。

### ●事前見積もり

各種の事前見積もりをスムーズに行うために、見積もりツール“Priest”を開発しました。Priestは次の初期見積もり機能や、それらを設計入力データとして出力する機能を持ちます。

- ・電源配線占有率見積もり
- ・コアエリアサイズ見積もり
- ・カスタムWLM生成(ターゲットLSIに特化した論理合成・遅延見積もり用の容量テーブル)

図1 フィジカルプロトタイピング



- ・電源IO見積り
- ・IO配置(プロトタイプ用DEF生成)
- ・簡易IR-Dropチェック
- ・容量セル必要量見積り
- ・簡易SSOノイズ・遅延見積り

入力データはネットリスト(素子端子間の接続情報)や予想消費電力値などで、このような静的な各種の見積りデータを容易に出力できます。

●フィジカルプロトタイピング

事前見積りで見積もった各種結果は、基本的には見積り式などから導き出したものであり、実際にはデザインごとの調整が必要となります。そのため実際に配置・配線を行って確認していくこととなりますが、実レイアウトで利用する設計ツールを適用すると処理時間が非常に長くなります。そこで、短TATでの見積りを行うためフィジカルプロトタイピング専用のツールを用います。今回構築した設計フローでは、CADENCE DESIGN SYSTEMS, INC社製の“SoC Encounter”を主なフィジカルプロトタイピングツールとして利用しています。

表1に、フィジカルプロトタイピングツールと実レイアウトツールの処理時間の例を示します。フィジカルプロトタイピングツールは、ラフな配置・配線の見積りにおける対応規模・処理速度に優れます。またフロアプラン機能・電源生成機能も備えているため、プロトタイピングで行った見通しを、そのまま実際のフロアプランや電源配線の最

表1 処理時間例

(単位:分)

	設計フェーズ	TAT	
		プロトタイプツール	実レイアウトツール
1.5 Mゲート	初期配置	15	306
	クロック合成	35	1,042
	タイミング最適化	86	2,085
	配線	59	1,104
8 Mゲート	初期配置	564	FLAT処理不可能(要階層処理)

適化へ反映させることができます。このフェーズでは次のような内容を確認しておきます。

- ・コアサイズおよびチップサイズ
- ・フロアプラン
- ・配線性
- ・クロック構成(CTS制約)
- ・階層設計時の階層および境界条件
- ・IO位置
- ・IR-Drop
- ・タイミング/タイミング制約

使用する設計データの品質や実レイアウトで使用する設計ツールと

の差により、タイミングに関しては、必ずしもこのフェーズですべて検証できるとは言いきれません。しかしこのフェーズでは、タイミング制約が正当であるか、絶対に満足しないようなタイミングエラーが発生していないかを最低限確認しておく必要があります。

## タイミング最適化手法

タイミング収束性の向上を目的に本設計フローではいくつかの施策を行っています。ここでは、配置・最適化ツールとして導入したフィジカルシンセシスツール(物理合成ツール)と、複数のタイミング制約を考慮したホールドタイミングエラー修正技術の導入について説明します。

### ●フィジカルシンセシス

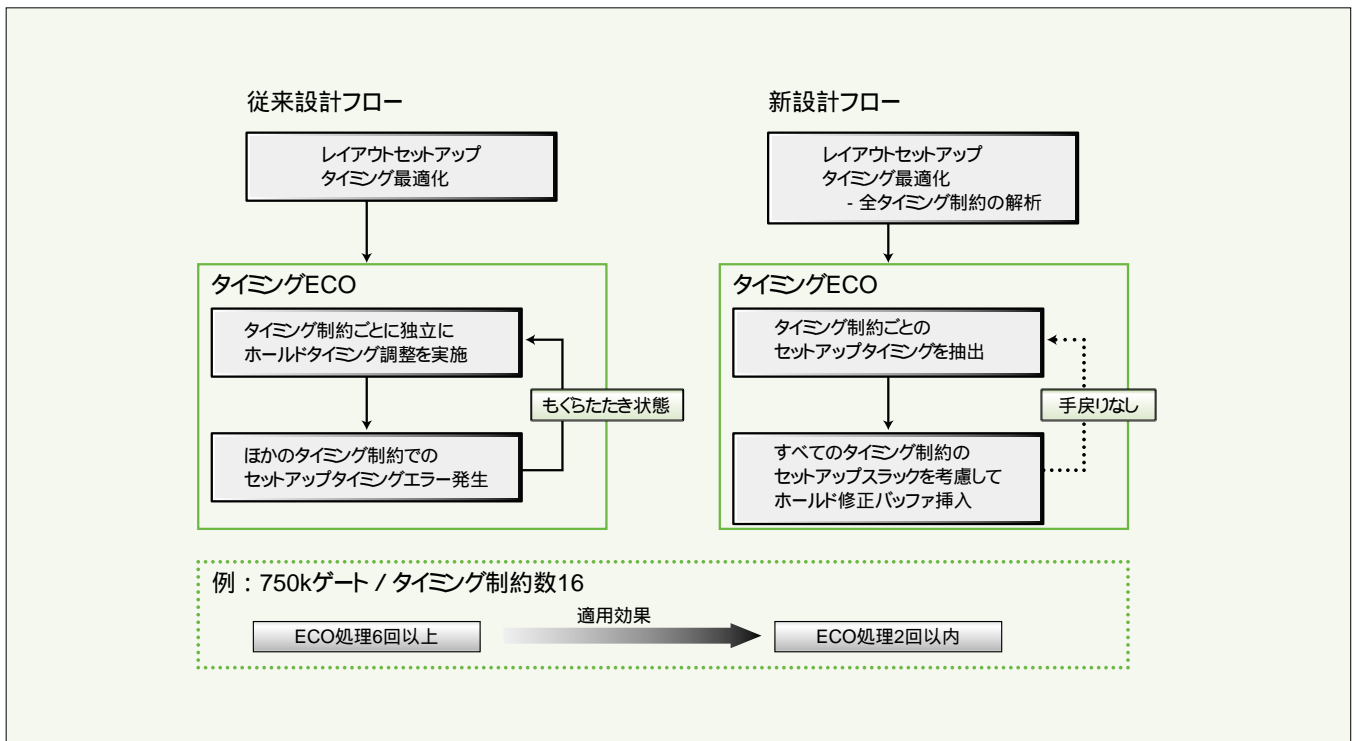
フィジカルシンセシス自体は数年前に登場した技術であり、当社ではこれまでにいくつものデザインに適用して実績を上げています。しかし、合成ツールとしての側面を持つぶん、効果的に利用するにはさまざまなノウハウが必要でした。またASICのお客様が、フィジカルシンセシスツールを利用して設計する例もあまり多くはありませんでした。今回は、お客様よりネットリストでデータリリースされるASIC品種への適用をターゲットに、これまで得たノウハウをスクリプト化して設計フローへ組み込んでいます。これにより、ネットリストでのリリースであっても、従来のタイミングドリフトレイアウトに比べて高いタイミングの収束性を上げることができました。ただし、フィジカルシンセシスツールも万能ではなく、入力するデータはタイミング収束可能な論理デー

タやタイミング制約、配線収束可能なフロアプランである必要があり、前述のフィジカルプロトタイピングによるデータの品質向上がデザイン収束の条件となります。

### ●複数タイミング制約への対応

現在のASICにはさまざまな機能を取り込まれており、それぞれが複数の動作モードを持っています。そのため、STA(Static Timing Analysis: 静的タイミング解析)でのタイミング制約も1種類で表現することは不可能であり、その数は1つのLSIに対して数十になることも珍しくありません。通常のレイアウト設計では、回路の各部分が活性化するようなタイミング制約を利用して設計を進めますが、最終的にはすべての条件のタイミング制約を満足させなくてはなりません。従来の設計フローでは最終的なタイミングの詰めの段階、とくにホールドタイミングエラー修正時に、ある制約で発生しているエラーを修正するため回路を修正すると、ほかのタイミング制約においてセットアップタイミングエラーを誘発するという「もくらたたき状態」が発生する可能性があります。とくに大規模デザインの場合、1回のECO(エンジニアリングチェンジオーダー)の処理時間が長くなっているため、ECOの回数を極力少なくする必要があります。これらの課題を踏まえて、現在は複数のタイミング制約を考慮したタイミングECO環境を構築しています。この環境を適用することで、1回のタイミングECOですべてのタイミング制約において新たなセットアップタイミングエラーを発生させずに、ほとんどのホールドタイミングエラーの収束が可能となりました。(図2)

図2 タイミングECO



## LSIノイズ対策

LSI内部のノイズ対策として検討すべきものにはさまざまなものが考えられます。ここでは、クロストーク、コア電源ノイズ、SSOノイズ、および共振の各対策について説明します。(図3)

### ●クロストーク

クロストークは信号配線間の干渉によるもので、信号にノイズが発生したり伝播遅延に影響を与えたりする原因となります。クロストークに関しては $0.25\mu\text{m}$ から各種の対策を行ってきており、各種解析ツールを整えています。基本的には、事前にクロストークノイズが発生しないように、ルールベースでの配置や配線を制御することでクロストークノイズの発生量を低く抑え、高精度な解析によってエラーが発生する可能性がある診断された信号配線は、分割や配線を変更してエラーを起こさない状態にします。また、クロストークによる遅延値の変動も考慮したタイミング解析を行い、信号間の干渉が動作に影響しないかの検証も行っています。

### ●コア電源ノイズ

コア電源ノイズは、LSI内部の各素子の動作や遅延に影響を与えます。そこで、コア電源ノイズの低減のために、チップ内に一定量の容量セルを挿入します。十分なノイズ抑制を行うためには、LSIごとの最適な容量セル挿入量を算出して挿入する必要がありますが、挿入量の見積りは前述の見積りツールPriestで行うことができます。

### ●SSOノイズ

SSOノイズはLSIからの出力信号の波形や遅延に影響を与えます。同時スイッチング出力ノイズ低減のためにはチップ上のIOセルの配置や電源本数、またIOセルの駆動能力などを最適化する必要があります。これに関しては、厳密にはSPICE(回路シミュレータ)\*1などでの検証が必要となりますが、Priestでルールベースでの簡易的な

検証と同時スイッチングの遅延値への影響を見積もることができます。

### ●共振

共振を防ぐには、電源本数やパッケージ自体の検討、容量セルの割合などパッケージを含む電源系電気パラメタの最適化が必要となります。容量セルはコア電源ノイズの低減効果があります。しかし、多く入りすぎている場合には共振の原因となり得るため、最適な挿入量を見積もったうえで必要以上の容量セルの挿入を抑制する必要があります。Priestで見積もった基準量を基本的に容量セル過剰による共振を抑制します。

## 柔軟なデザインフロー

従来からさまざまな課題を解決するために、サードベンダ製のCADツールや当社製のCADツールを組み合わせた設計フローを構築していました。しかし、設計フローの基幹部分に独自フォーマットのデータベースを用いていた部分があり、各データベース間での参照ライブラリの違いから誤差が生じたり、デザインによっては新規ツールを即適用することで開発効率を劇的に改善できる余地があるにもかかわらず、新規の設計CADの導入に時間がかかることもありました。

これに対して今回のデザインフローは、業界標準のフォーマットをベースに設計環境を構築しました。このため、各設計フェーズで参照するライブラリの精度は統一されるとともに、各種デザインに適したデザインフローを設計部隊の判断で容易に変更・構築可能としています(図4)。これにより、安定している既存設計ツールでのデザインフロー構築から、リリースされたばかりの最新の設計ツールを積極的に取り入れることも可能となっています。ただし、設計者が独自に設計環境を構築する場合においても、検証系のツールに関してはリファレンスデザインフローで保証しているツールを使用する必要があります。

図3 LSIノイズ

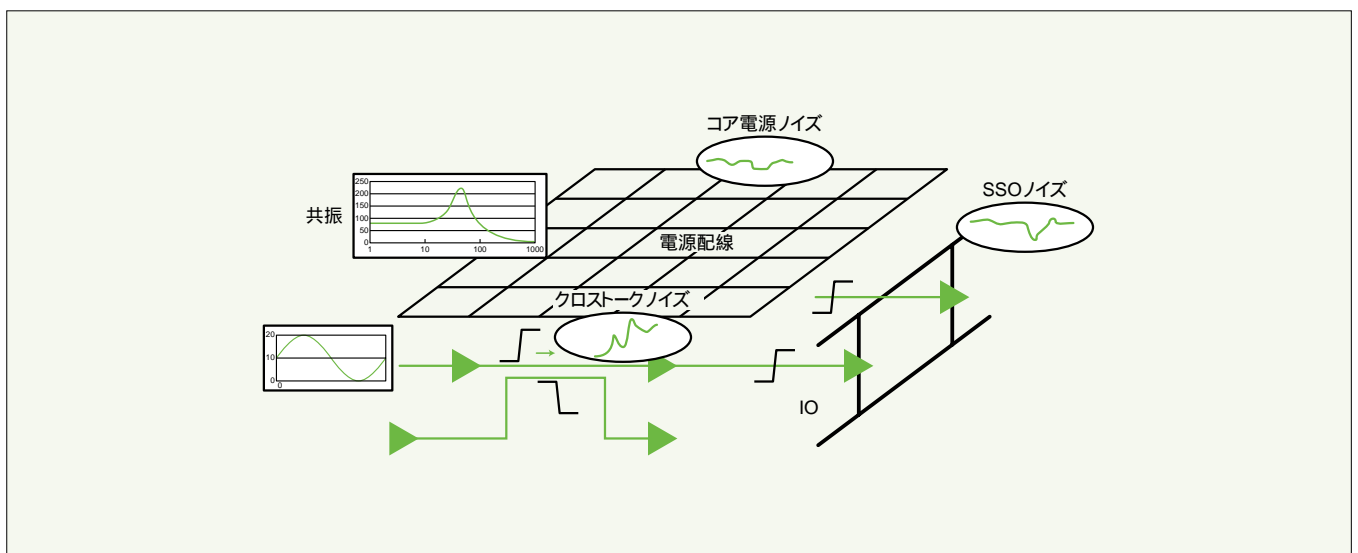
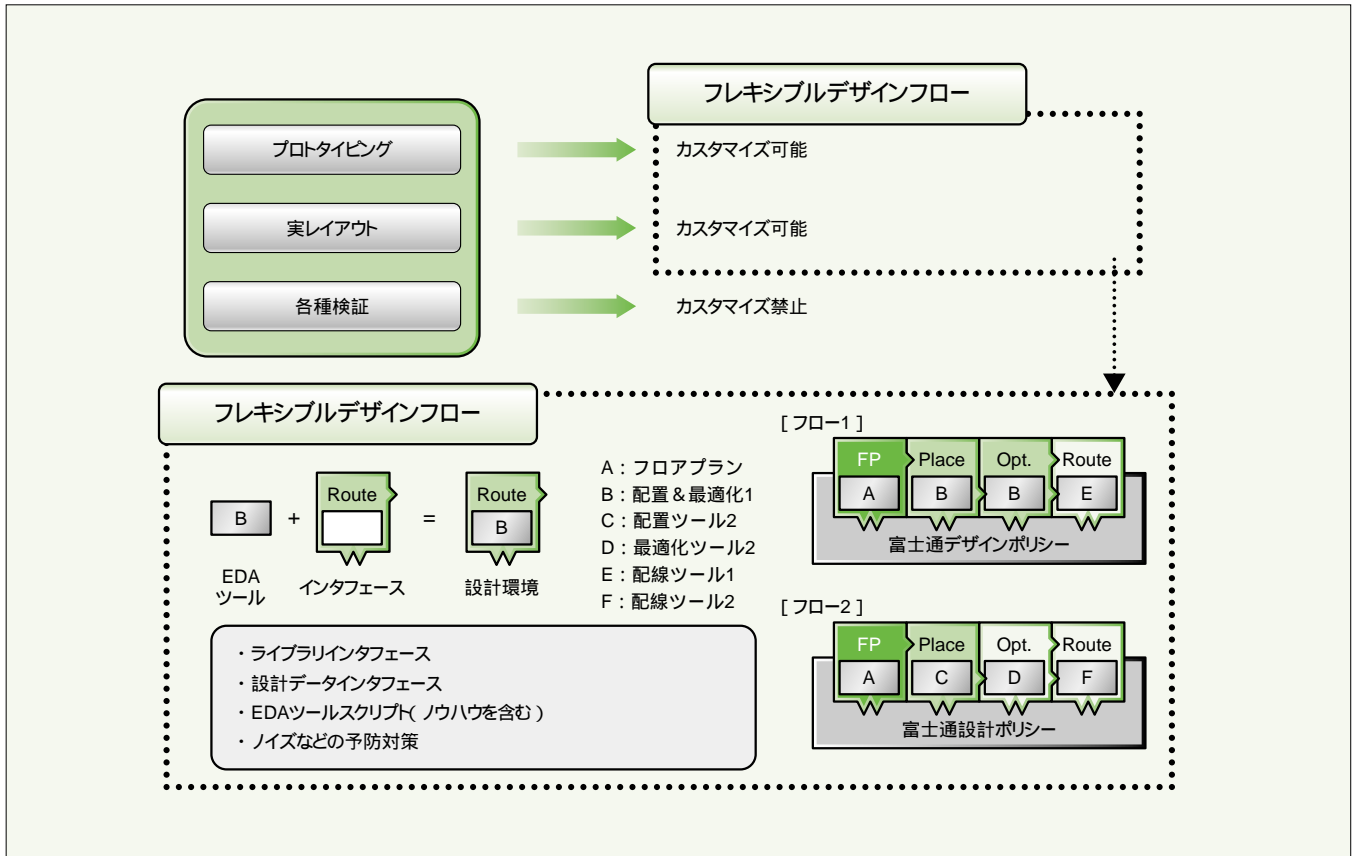


図4 設計ツールの組替え



## 最後に

本稿では、90nmをターゲットに構築したリファレンスデザインフローの特長となっている「フィジカルプロトタイピング」「タイミング最適化手法」「LSIノイズ対策」「デザインフローの柔軟性」について解説しました。これらの技術の導入によりデザインの見通しを良くし、タイミングやノイズなどに対して早い段階で対処を行うことに併せ、高機能なタイミング最適化、タイミングECO機能の導入により設計効率を大幅に改善しました。ここに挙げている以外にも、RTL( Register Transfer Level )<sup>\*2</sup>チェッカの導入や各種検証精度の向上などさまざまな施策を行っており、設計精度とTATを向上させています。

なお、本設計環境は90nm CMOS ASICをターゲットに構築しASIC開発に適用中ですが、既存テクノロジーの設計効率・精度の改善のため、現在は本設計環境をCS91テクノロジー(0.11 μm)へも展開中です。

\* 1 : 高精度だが、扱える回路規模は小さく処理時間も長くなる。

\* 2 : 機能記述言語のサブセット。論理合成ツールでゲートレベルの回路を合成可能。