

セミカスタム CMOS

マクロ埋込み型セルアレイ

CE71 シリーズ

■ 概要

0.25 μm CMOS マクロ埋込み型セルアレイ「CE71 シリーズ」は、高速、低消費電力、高集積度を実現した CMOS ASIC です。本シリーズは、最大 800 万ゲートと従来品の約 2.5 倍の高集積化を図ると共に、ゲート遅延時間 29 ps と約 40% の高速化を達成しております。

また、電源電圧 1.5 V まで動作可能なため、大幅な低電力化が実現できます。

■ 特長

- ・ テクノロジ : 0.25 μm Si ゲート CMOS , 3 層 ~ 4 層配線
- ・ 電源電圧 : 2.5 V \pm 0.2 V (標準仕様) ~ 1.5 V \pm 0.1 V
(5 V トレラント I/O 採用時は 5 V TTL インタフェース可能。一部準備中フレーム含む)
- ・ 接合温度範囲 : - 40°C ~ + 125°C
- ・ ゲート遅延時間 : $t_{pd} = 29$ ps (インバータセル High Speed タイプ , F/O = 1, 無負荷)
- ・ ゲート消費電力 : 0.060 $\mu\text{W}/\text{MHz}$ (F/O = 1, 無負荷)
- ・ 高負荷駆動能力 : $I_{oL} = 2$ mA/4 mA/8 mA /12 mA 混在可能
- ・ ノイズ低減回路付き出力バッファセル
- ・ 入力プルアップ / プルダウン抵抗内蔵 (標準 25 k Ω) 入力および双方向バッファセル
- ・ 水晶発振器専用バッファセル
- ・ 特殊インタフェース (P-CML ,LVDS ,T-LVTTL, SSTL, PCI, USB など)
- ・ IP マクロ (SPARClite ,FR40 ,PCI ,IEEE1394 ,USB ,IrDA ,PLL ,ADC/DAC ,ほか 準備中含む)
- ・ コンパイルドセル (RAM/ROM/ 乗算器など) の搭載が可能
- ・ 内部バス回路の構成が可能
- ・ Hardware/Software Co-design 環境の充実
- ・ フロアプランツールと論理合成ツールのリンクにより、フロアプラン情報を使用した回路の最適化を自動で行うことが可能。更に、フロアプラン情報を使用した CDDM (Clock Driven Design Method) クロックツリー合成ツールなどを用意。レイアウト前の段階でフロアプラン情報を使用することにより、レイアウト後のセットアップやホールドなどのタイミング問題を未然に解決出来るため、設計期間の大幅な短縮が可能
- ・ Synopsys 社製 CAD ツール PrimeTime を使用したスタティックタイミングサインオフをサポート。これにより、タイミング検証用テストベクタの作成およびシミュレーション時間の大幅な削減が可能
- ・ 入力スルーレートを考慮したシミュレーション (Layout 前) 詳細 RC デレイ計算 (Layout 後) により、試作後のタイミングトラブルを最小限に抑えた開発をサポート
- ・ Memory (RAM ,ROM) -SCAN をサポート
- ・ Memory (RAM) -BIST をサポート
- ・ Boundary-SCAN をサポート
- ・ 豊富なパッケージラインアップ
(SQFP ,LQFP ,HQFP ,PBGA ,EBGA, TAB-BGA ,FBGA 準備中も含む)

CE71 シリーズ

■ マクロ・ライブラリ (準備中含む)

1. 論理セル (約 700 種類)

- Adder
- Decoder
- Latch
- Buffer
- AND-OR inverter
- OR
- Subtractor
- EOR
- AND-OR
- Clock Buffer
- Inverter
- AND
- OR-AND Inverter
- SCAN Flip Flop
- BUS Driver
- その他
- AND-OR Inverter
- Non-SCAN Flip Flop
- NAND
- AND-OR
- NOR
- Selector
- ENOR

2. IP マクロ

CPU/DSP	SPARClite, FR40, 通信用 DSP, AV 用 DSP
インタフェースマクロ	PCI, IEEE1394, USB, IrDA, SCSI, ほか
マルチメディア処理マクロ	JPEG, MPEG, MMA, ほか
ミックスドシグナルマクロ	ADC, DAC, OPAMP, ほか
コンパイルドマクロ	RAM, ROM, 乗算器, 加算器, 積和器, ほか
PLL	アナログ PLL, デジタル PLL

3. 特殊 I/O インタフェースマクロ

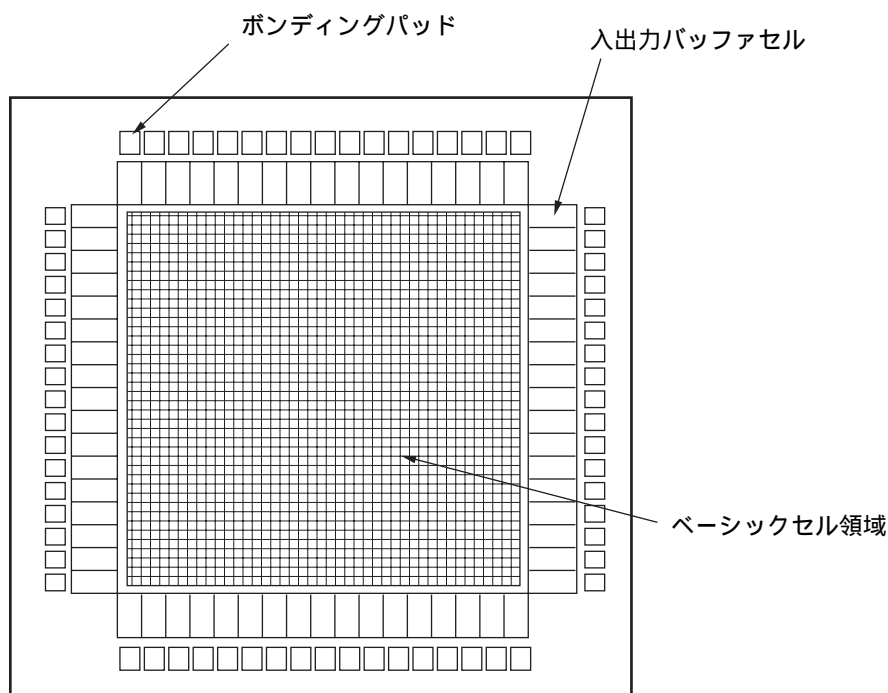
- T-LVTTL
- SSTL
- HSTL
- GTL+
- P-CML
- LVDS
- PCI
- AGP
- USB
- IEEE1394
- SDRAM-I/F

■ チップ構成

チップレイアウトは、チップ周辺領域・ベーシックセル領域の2つに大別されます。

チップ周辺領域には外部デバイスとインタフェースするための入出力バッファセルとボンディングパッドが、ベーシックセル領域には入出力バッファセルの一部と論理回路を構成する単位となるユニットセルやコンパイルドセルなどが配置されます。

・チップ構成図



■ コンパイルドセル

コンパイルドセルとは、ビット・ワードなどの構成を指定することにより自動生成されるマクロセルのことです。

CE71 シリーズでは以下の種類があります（各マクロともに、カラムタイプによりワード・ビットの範囲が異なります）。

1. クロック同期式シングルポート RAM (1 アドレス 1 リードライト)

・高密度型 / パーシャルライト型

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単 位
4	16 ~ 72 K	16 ~ 1 K	1 ~ 72	bit
16	64 ~ 72 K	64 ~ 4 K	1 ~ 18	bit

・超高密度型 / パーシャルライト型

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単 位
4	64 ~ 72 K	32 ~ 1 K	2 ~ 72	bit
4	2064 ~ 512 K	1032 ~ 4 K	2 ~ 128	bit
16	4160 ~ 512 K	2080 ~ 16 K	2 ~ 32	bit

・低消費電力型

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単 位
4	128 ~ 72 K	32 ~ 1 K	4 ~ 72	bit
8	256 ~ 72 K	64 ~ 2 K	4 ~ 36	bit

・高速型

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単 位
8	128 ~ 144 K	32 ~ 2 K	4 ~ 72	bit

2. クロック同期式デュアルポート RAM (2 アドレス 1 リードライト / 1 リード)

・高密度型 / パーシャルライト型

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単 位
4	16 ~ 72 K	16 ~ 1 K	1 ~ 72	bit
16	64 ~ 72 K	64 ~ 4 K	1 ~ 18	bit

3. クロック同期式レジスタファイル (3 アドレス 1 ライト / 2 リード)

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単 位
1	4608	4 ~ 64	1 ~ 72	bit

4. クロック同期式レジスタファイル (4 アドレス 2 ライト / 2 リード)

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単 位
1	4608	4 ~ 64	1 ~ 72	bit

5. クロック同期式 ROM (1 アドレス 1 リード)

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単 位
8	128 ~ 512 K	32 ~ 4 K	4 ~ 128	bit
16	128 ~ 512 K	64 ~ 8 K	2 ~ 64	bit

CE71 シリーズ

6. クロック同期式ディレイラインメモリ (2 アドレス 1 ライト/1 リード)

コラムタイプ (C)	メモリ容量	ワード範囲	ビット範囲	単 位
8	512 ~ 32 K	32 ~ 1 K	16 ~ 32	bit
16	512 ~ 32 K	64 ~ 2 K	8 ~ 16	bit
32	512 ~ 32 K	128 ~ 4 K	4 ~ 8	bit

7. クロック同期式 FIFO メモリ (2 アドレス 1 ライト/1 リード)

コラムタイプ	メモリ容量	ワード範囲	ビット範囲	単 位
8	512 ~ 32 K	32 ~ 1 K	16 ~ 32	bit
16	512 ~ 32 K	64 ~ 2 K	8 ~ 16	bit
32	512 ~ 32 K	128 ~ 4 K	4 ~ 8	bit

■ 大容量メモリ

・クロック同期式シングルポート RAM (1 アドレス 1 リード/1 ライト)

コラムタイプ	メモリ容量	ワード範囲	ビット範囲	単 位
4	288 K	2 K	144	bit
8	288 K	4 K	72	bit
16	288 K	8 K	36	bit

CE71 シリーズ

■ 絶対最大定格

項目	記号	条件	定格値		単位	
			最小	最大		
電源電圧*1	V _{DD}	V _{DD} = 1.4 V ~ 2.7 V	- 0.5	+ 3.0*4	V	
		V _{DD} = 2.7 V ~ 3.6 V	- 0.5	+ 4.0*5		
入力電圧*1	V _i		- 0.5	V _{DD} + 0.5 (3.0V)*4	V	
			- 0.5	V _{DD} + 0.5 (4.0V)*5		
			- 0.5	V _{DDE} + 4.0 (6.0V)*6		
出力電圧*1	V _o		- 0.5	V _{DD} + 0.5 (3.0V)*4	V	
			- 0.5	V _{DD} + 0.5 (4.0V)*5		
			- 0.5	V _{DDE} + 0.5 (L/H-State)*6		
			- 0.5	V _{DDE} + 4.0 (6.0 V) (Z-State)*6		
保存周囲温度	T _{st}		- 55	+ 125	°C	
動作接合温度	T _j		- 40	+ 125	°C	
出力電流*2	L タイプ	I _o	パワーレスタイプ I _{oL} = 2 mA		± 13	mA
	M タイプ		ノーマルタイプ I _{oL} = 4 mA		± 13	
	H タイプ		パワータイプ I _{oL} = 8 mA		± 13	
	V タイプ		ハイパワータイプ I _{oL} = 12 mA		± 26	
電源ピン電流*3	I _D	V _{DD} , GND ピン 1 本当たり			60	mA

* 1 : V_{SS} = 0 V

* 2 : 定常的に流せる最大出力電流値

* 3 : 定常的に流せる最大電源電流値

* 4 : 単一電源時および二電源時の内部ゲート部分

* 5 : 二電源で 3.3 V I/F や 2.5 V I/F を行う時の I/O 部分

* 6 : 5 V トレラントの場合

<注意事項> 絶対最大定格を超えるストレス（電圧，電流，温度など）の印加は，半導体デバイスを破壊する可能性があります。したがって，定格を一項目でも超えることのないようご注意ください。

CE71 シリーズ

■ 推奨動作条件

・ 単一電源 (2.5 V 系)

($V_{DD} = 2.5 \text{ V} \pm 0.2 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	記号	規格値			単位
		最小	標準	最大	
電源電圧	V_{DD}	2.3	2.5	2.7	V
“H” レベル入力電圧	CMOS ノーマル	V_{IH}	1.7	$V_{DD} + 0.3$	V
	CMOS シュミット		$V_{DD} \times 0.8$	$V_{DD} + 0.3$	
“L” レベル入力電圧	CMOS ノーマル	V_{IL}	- 0.3	+ 0.7	V
	CMOS シュミット		- 0.3	$V_{DD} \times 0.2$	
動作接合温度	T_j	- 40		+ 125	°C

・ 単一電源 (1.8 V 系)

($V_{DD} = 1.8 \text{ V} \pm 0.15 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	記号	規格値			単位
		最小	標準	最大	
電源電圧	V_{DD}	1.65	1.8	1.95	V
“H” レベル入力電圧	CMOS ノーマル	V_{IH}	$V_{DD} \times 0.65$	$V_{DD} + 0.3$	V
	CMOS シュミット		$V_{DD} \times 0.8$	$V_{DD} + 0.3$	
“L” レベル入力電圧	CMOS ノーマル	V_{IL}	- 0.3	$V_{DD} \times 0.35$	V
	CMOS シュミット		- 0.3	$V_{DD} \times 0.2$	
動作接合温度	T_j	- 40		+ 125	°C

・ 単一電源 (1.5 V 系)

($V_{DD} = 1.5 \text{ V} \pm 0.1 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	記号	規格値			単位
		最小	標準	最大	
電源電圧	V_{DD}	1.4	1.5	1.6	V
“H” レベル入力電圧	CMOS ノーマル	V_{IH}	$V_{DD} \times 0.7$	$V_{DD} + 0.3$	V
	CMOS シュミット		$V_{DD} \times 0.8$	$V_{DD} + 0.3$	
“L” レベル入力電圧	CMOS ノーマル	V_{IL}	- 0.3	$V_{DD} \times 0.3$	V
	CMOS シュミット		- 0.3	$V_{DD} \times 0.2$	
動作接合温度	T_j	- 40		+ 125	°C

(続く)

CE71 シリーズ

・二電源 ($V_{DDE} = 3.3\text{ V} / V_{DDI} = 2.5\text{ V}, 1.8\text{ V}, 1.5\text{ V}$)

($V_{DDE} = 3.3\text{ V} \pm 0.3\text{ V} / V_{DDI} = 2.5\text{ V} \pm 0.2\text{ V}, V_{DDI} = 1.8\text{ V} \pm 0.15\text{ V}, V_{DDI} = 1.5\text{ V} \pm 0.1\text{ V}, V_{SS} = 0\text{ V}$)

項目		記号	規格値			単位
			最小	標準	最大	
電源電圧		V_{DDE}	3.0	3.3	3.6	V
		V_{DDI}	1.4	—	2.7	
“H” レベル入力電圧	1.5 V CMOS ノーマル	V_{IH}	$V_{DDI} \times 0.7$	—	$V_{DDI} + 0.3$	V
	1.8 V CMOS ノーマル		$V_{DDI} \times 0.65$	—	$V_{DDI} + 0.3$	
	2.5 V CMOS ノーマル		1.7	—	$V_{DDI} + 0.3$	
	3.3 V CMOS ノーマル		2.0	—	$V_{DDE} + 0.3$	
	1.5 V CMOS シュミット		$V_{DDI} \times 0.8$	—	$V_{DDI} + 0.3$	
	1.8 V CMOS シュミット		$V_{DDI} \times 0.8$	—	$V_{DDI} + 0.3$	
	2.5 V CMOS シュミット		$V_{DDI} \times 0.8$	—	$V_{DDI} + 0.3$	
	3.3 V CMOS シュミット		$V_{DDE} \times 0.8$	—	$V_{DDE} + 0.3$	
	5 Vトレラント		2.0	—	5.5	
“L” レベル入力電圧	1.5 V CMOS ノーマル	V_{IL}	- 0.3	—	$V_{DDI} \times 0.3$	V
	1.8 V CMOS ノーマル		- 0.3	—	$V_{DDI} \times 0.35$	
	2.5 V CMOS ノーマル		- 0.3	—	+ 0.7	
	3.3 V CMOS ノーマル		- 0.3	—	+ 0.8	
	1.5 V CMOS シュミット		- 0.3	—	$V_{DDI} \times 0.2$	
	1.8 V CMOS シュミット		- 0.3	—	$V_{DDI} \times 0.2$	
	2.5 V CMOS シュミット		- 0.3	—	$V_{DDI} \times 0.2$	
	3.3 V CMOS シュミット		- 0.3	—	$V_{DDE} \times 0.2$	
	5 Vトレラント		- 0.3	—	+ 0.8	
動作接合温度		T_j	- 40	—	+ 125	°C

(続く)

CE71 シリーズ

(続き)

・二電源 ($V_{DDE} = 2.5\text{ V}$ / $V_{DDI} = 1.8\text{ V}, 1.5\text{ V}$)

($V_{DDE} = 2.5\text{ V} \pm 0.2\text{ V}$ / $V_{DDI} = 1.8\text{ V} \pm 0.15\text{ V}$, $V_{DDI} = 1.5\text{ V} \pm 0.1\text{ V}$, $V_{SS} = 0\text{ V}$)

項目		記号	規格値			単位
			最小	標準	最大	
電源電圧		V_{DDE}	2.3	2.5	2.7	V
		V_{DDI}	1.4	—	1.95	
“H” レベル入力電圧	1.5 V CMOS ノーマル	V_{IH}	$V_{DDI} \times 0.7$	—	$V_{DDI} + 0.3$	V
	1.8 V CMOS ノーマル		$V_{DDI} \times 0.65$	—	$V_{DDI} + 0.3$	
	2.5 V CMOS ノーマル		1.7	—	$V_{DDE} + 0.3$	
	1.5 V CMOS シュミット		$V_{DDI} \times 0.8$	—	$V_{DDI} + 0.3$	
	1.8 V CMOS シュミット		$V_{DDI} \times 0.8$	—	$V_{DDI} + 0.3$	
	2.5 V CMOS シュミット		$V_{DDE} \times 0.8$	—	$V_{DDE} + 0.3$	
“L” レベル入力電圧	1.5 V CMOS ノーマル	V_{IL}	- 0.3	—	$V_{DDI} \times 0.3$	V
	1.8 V CMOS ノーマル		- 0.3	—	$V_{DDI} \times 0.35$	
	2.5 V CMOS ノーマル		- 0.3	—	+ 0.7	
	1.5 V CMOS シュミット		- 0.3	—	$V_{DDI} \times 0.2$	
	1.8 V CMOS シュミット		- 0.3	—	$V_{DDI} \times 0.2$	
	2.5 V CMOS シュミット		- 0.3	—	$V_{DDE} \times 0.2$	
動作接合温度		T_j	- 40	—	+ 125	°C

<注意事項> 推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に当社営業担当部門までご相談ください。

■ 電気的特性

1. 直流特性

・ 単一電源 ($V_{DD} = 2.5\text{ V}$)

($V_{DD} = 2.5\text{ V} \pm 0.2\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40^\circ\text{C} \sim +125^\circ\text{C}$)

項目	記号	条件	規格値			単位
			最小	標準	最大	
電源電流*1	I _{DDs}	J1 ~ J4, K1 ~ K5, L4 ~ L6, T2, T3			0.1	mA
		J5, J6, K6, K7, L7, T4 ~ T6			0.2	
		J7, J8, K8, L8, T7 ~ T9			0.3	
		J9, L9, TA, TB			0.4	
		JA, LA, TC			0.5	
		JB, LB, TD			0.6	
		JC, LC, TE			0.7	
		JD, LD			0.8	
		TF			0.9	
		JE, LE, TG			1.0	
		JF			1.3	
		JG			1.6	
“H”レベル出力電圧	V _{OH}	I _{OH} = - 100 μA	V _{DD} - 0.2		V _{DD}	V
“L”レベル出力電圧	V _{OL}	I _{OL} = 100 μA	0		0.2	V
“H”レベル出力 V-I 特性		2.5 V 系 V _{DD} = 2.5 V ± 0.2 V	*2			
“L”レベル出力 V-I 特性		2.5 V 系 V _{DD} = 2.5 V ± 0.2 V	*2			
入力リーク電流	I _L				± 5	μA
プルアップ / プルダウン抵抗	R _P	プルアップ V _{IL} = 0 V, プルダウン V _{IH} = V _{DD}	10	25	120	kΩ

* 1 : V_{IH} = V_{DD}, V_{IL} = V_{SS}, メモリ搭載の場合は, メモリがスタンバイ時, アナログマクロ搭載時はパワーダウンモード時 T_j = + 25°C, 静止状態の値です。プルアップ / プルダウン抵抗付き入力バッファ, 水晶発振バッファを使用した場合には回路構成によって上記保証ができない場合があります。

* 2 : 「■2.5 V 系 V-I 特性」を参照してください。

CE71 シリーズ

・単一電源 ($V_{DD} = 1.8\text{ V}$)

($V_{DD} = 1.8\text{ V} \pm 0.15\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40 \sim +125^\circ\text{C}$)

項目	記号	条件	規格値			単位
			最小	標準	最大	
電源電流*1	I _{DD5}	J1 ~ J4, L4 ~ L6, T2, T3			0.1	mA
		J5, J6, L7, T4 ~ T6			0.2	
		J7, J8, L8, T7 ~ T9			0.3	
		J9, L9, TA, TB			0.4	
		JA, LA, TC			0.5	
		JB, LB, TD			0.6	
		JC, LC, TE			0.7	
		JD, LD			0.8	
		TF			0.9	
		JE, LE, TG			1.0	
		JF			1.3	
		JG			1.6	
“H”レベル出力電圧	V _{OH}	I _{OH} = -100 μA	V _{DD} - 0.2		V _{DD}	V
“L”レベル出力電圧	V _{OL}	I _{OL} = 100 μA	0		0.2	V
“H”レベル出力 V-I 特性		1.8 V 系 $V_{DD} = 1.8\text{ V} \pm 0.15\text{ V}$	*2			
“L”レベル出力 V-I 特性		1.8 V 系 $V_{DD} = 1.8\text{ V} \pm 0.15\text{ V}$	*2			
入力リーク電流	I _L				± 5	μA
プルアップ / プルダウン抵抗	R _P	プルアップ V _{IL} = 0 V, プルダウン V _{IH} = V _{DD}	10	40	120	kΩ

* 1: $V_{IH} = V_{DD}$, $V_{IL} = V_{SS}$, メモリ搭載の場合は, メモリがスタンバイ時, アナログマクロ搭載時はパワーダウンモード時 $T_j = +25^\circ\text{C}$, 静止状態の値です。プルアップ/プルダウン抵抗付き入力バッファ, 水晶発振バッファを使用した場合には回路構成によって上記保証ができない場合があります。

* 2: 「■1.8 V 系 V-I 特性」を参照してください。

CE71 シリーズ

・ 単一電源 ($V_{DD} = 1.5\text{ V}$)

($V_{DD} = 1.5\text{ V} \pm 0.1\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			最小	標準	最大	
電源電流*1	I _{DD5}	J1 ~ J4, L4 ~ L6, T2, T3			0.1	mA
		J5, J6, L7, T4 ~ T6			0.2	
		J7, J8, L8, T7 ~ T9			0.3	
		J9, L9, TA, TB			0.4	
		JA, LA, TC			0.5	
		JB, LB, TD			0.6	
		JC, LC, TE			0.7	
		JD, LD			0.8	
		TF			0.9	
		JE, LE, TG			1.0	
		JF			1.3	
		JG			1.6	
“H”レベル出力電圧	V _{OH}	I _{OH} = - 100 μA	V _{DD} - 0.2		V _{DD}	V
“L”レベル出力電圧	V _{OL}	I _{OL} = 100 μA	0		0.2	V
“H”レベル出力 V-I 特性		1.5 V 系 $V_{DD} = 1.5\text{ V} \pm 0.1\text{ V}$	*2			
“L”レベル出力 V-I 特性		1.5 V 系 $V_{DD} = 1.5\text{ V} \pm 0.1\text{ V}$	*2			
入力リーク電流	I _L				± 5	μA
プルアップ/プルダウン抵抗	R _P	プルアップ V _{IL} = 0 V, プルダウン V _{IH} = V _{DD}	10	55	120	kΩ

* 1: V_{IH} = V_{DD}, V_{IL} = V_{SS}, メモリ搭載の場合は, メモリがスタンバイ時, アナログマクロ搭載時はパワーダウンモード時 T_j = +25°C, 静止状態の値です。プルアップ/プルダウン抵抗付き入力バッファ, 水晶発振バッファを使用した場合には回路構成によって上記保証ができない場合があります。

* 2: 「■1.5 V 系 V-I 特性」を参照してください。

CE71 シリーズ

・二電源 ($V_{DDE} = 3.3\text{ V} / V_{DDI} = 2.5\text{ V}, 1.8\text{ V}, 1.5\text{ V}$)

($V_{DDE} = 3.3\text{ V} \pm 0.3\text{ V} / V_{DDI} = 2.5\text{ V} \pm 0.2\text{ V}, 1.8\text{ V} \pm 0.15\text{ V}, 1.5\text{ V} \pm 0.1\text{ V}, V_{SS} = 0\text{ V}, T_j = -40^\circ\text{C} \sim +125^\circ\text{C}$)

項目	記号	条件	規格値			単位	
			最小	標準	最大		
電源電流*1	IDD5	J1 ~ J4, K1 ~ K5, L4 ~ L6, T2, T3			0.1	mA	
		J5, J6, K6, K7, L7, T4 ~ T6			0.2		
		J7, J8, K8, L8, T7 ~ T9			0.3		
		J9, L9, TA, TB			0.4		
		JA, LA, TC			0.5		
		JB, LB, TD			0.6		
		JC, LC, TE			0.7		
		JD, LD			0.8		
		TF			0.9		
		JE, LE, TG			1.0		
		JF			1.3		
		JG			1.6		
“H”レベル出力電圧	VOH4	3.3V系出力 $I_{OH} = -100\ \mu\text{A}$	$V_{DDE} - 0.2$		V_{DDE}	V	
	VOH3	2.5V系出力 $I_{OH} = -100\ \mu\text{A}$	$V_{DDI} - 0.2$		V_{DDI}		
	VOH2	1.8V系出力 $I_{OH} = -100\ \mu\text{A}$	$V_{DDI} - 0.2$		V_{DDI}		
	VOH1	1.5V系出力 $I_{OH} = -100\ \mu\text{A}$	$V_{DDI} - 0.2$		V_{DDI}		
“L”レベル出力電圧	VOL4	3.3V系出力 $I_{OL} = 100\ \mu\text{A}$	0		0.2	V	
	VOL3	2.5V系出力 $I_{OL} = 100\ \mu\text{A}$	0		0.2		
	VOL2	1.8V系出力 $I_{OL} = 100\ \mu\text{A}$	0		0.2		
	VOL1	1.5V系出力 $I_{OL} = 100\ \mu\text{A}$	0		0.2		
“H”レベル出力V-I特性		3.3V系 $V_{DDE} = 3.3\text{ V} \pm 0.3\text{ V}$	*2				
		2.5V系 $V_{DDI} = 2.5\text{ V} \pm 0.2\text{ V}$	*3				
		1.8V系 $V_{DDI} = 1.8\text{ V} \pm 0.15\text{ V}$	*4				
		1.5V系 $V_{DDI} = 1.5\text{ V} \pm 0.1\text{ V}$	*5				
“L”レベル出力V-I特性		3.3V系 $V_{DDE} = 3.3\text{ V} \pm 0.3\text{ V}$	*2				
		2.5V系 $V_{DDI} = 2.5\text{ V} \pm 0.2\text{ V}$	*3				
		1.8V系 $V_{DDI} = 1.8\text{ V} \pm 0.15\text{ V}$	*4				
		1.5V系 $V_{DDI} = 1.5\text{ V} \pm 0.1\text{ V}$	*5				
入力リーク電流	IL				± 5	μA	
プルアップ/ プルダウン抵抗	Rp	3.3V系	プルアップ $V_{IL} = 0\text{ V}$, プルダウン $V_{IH} = V_{DDE}$	10	25	70	k Ω
		2.5V系	プルアップ $V_{IL} = 0\text{ V}$, プルダウン $V_{IH} = V_{DDI}$	10	25	120	
		1.8V系	プルアップ $V_{IL} = 0\text{ V}$, プルダウン $V_{IH} = V_{DDI}$	10	40	120	
		1.5V系	プルアップ $V_{IL} = 0\text{ V}$, プルダウン $V_{IH} = V_{DDI}$	10	55	120	

* 1 : $V_{IH} = V_{DD}, V_{IL} = V_{SS}$, メモリ搭載の場合はメモリがスタンバイ時, アナログマクロ搭載時はパワーダウンモード時 $T_j = +25^\circ\text{C}$, 静止状態の値です。プルアップ/プルダウン抵抗付き入力バッファ, 水晶発振バッファを使用した場合には回路構成によって上記保証ができない場合があります。

* 2 : 「■3.3V系 V-I 特性」を参照してください。

* 3 : 「■2.5V系 V-I 特性」を参照してください。

* 4 : 「■1.8V系 V-I 特性」を参照してください。

* 5 : 「■1.5V系 V-I 特性」を参照してください。

CE71 シリーズ

・二電源 ($V_{DDE} = 2.5\text{ V} / V_{DDI} = 2.5\text{ V}, 1.8\text{ V}, 1.5\text{ V}$)

($V_{DDE} = 2.5\text{ V} \pm 0.2\text{ V} / V_{DDI} = 1.8\text{ V} \pm 0.15\text{ V}, 1.5\text{ V} \pm 0.10\text{ V}, V_{SS} = 0\text{ V}, T_j = -40^\circ\text{C} \sim +125^\circ\text{C}$)

項目	記号	条件	規格値			単位	
			最小	標準	最大		
電源電流*1	I _{DD5}	J1 ~ J4, L4 ~ L6, T2, T3			0.1	mA	
		J5, J6, L7, T4 ~ T6			0.2		
		J7, J8, L8, T7 ~ T9			0.3		
		J9, L9, TA, TB			0.4		
		JA, LA, TC			0.5		
		JB, LB, TD			0.6		
		JC, LC, TE			0.7		
		JD, LD			0.8		
		TF			0.9		
		JE, LE, TG			1.0		
		JF			1.3		
		JG			1.6		
“H”レベル出力電圧	V _{OH3}	2.5V系出力 I _{OH} = -100 μA	V _{DDE} - 0.2		V _{DDE}	V	
	V _{OH2}	1.8V系出力 I _{OH} = -100 μA	V _{DDI} - 0.2		V _{DDI}		
	V _{OH1}	1.5V系出力 I _{OH} = -100 μA	V _{DDI} - 0.2		V _{DDI}		
“L”レベル出力電圧	V _{OL3}	2.5V系出力 I _{OL} = 100 μA	0		0.2	V	
	V _{OL2}	1.8V系出力 I _{OL} = 100 μA	0		0.2		
	V _{OL1}	1.5V系出力 I _{OL} = 100 μA	0		0.2		
“H”レベル出力 V-I 特性		2.5 V系 V _{DDE} = 2.5 V ± 0.2 V	*2				
		1.8 V系 V _{DDI} = 1.8 V ± 0.15 V	*3				
		1.5 V系 V _{DDI} = 1.5 V ± 0.1 V	*4				
“L”レベル出力 V-I 特性		2.5 V系 V _{DDE} = 2.5 V ± 0.2 V	*2				
		1.8 V系 V _{DDI} = 1.8 V ± 0.15 V	*3				
		1.5 V系 V _{DDI} = 1.5 V ± 0.1 V	*4				
入力リーク電流	I _L				± 5	μA	
プルアップ / プルダウン抵抗	R _p	2.5 V系	プルアップ V _{IH} = 0 V, プルダウン V _{IL} = V _{DDE}	10	25	120	kΩ
		1.8 V系	プルアップ V _{IH} = 0 V, プルダウン V _{IL} = V _{DDI}	10	40	120	
		1.5 V系	プルアップ V _{IH} = 0 V, プルダウン V _{IL} = V _{DDI}	10	55	120	

* 1 : V_{IH} = V_{DD}, V_{IL} = V_{SS}, メモリ搭載の場合はメモリがスタンバイ時, アナログマクロ搭載時はパワーダウンモード時 T_j = +25°C, 静止状態の値, プルアップ/プルダウン抵抗付き入力バッファ, 水晶発振バッファを使用した場合には回路構成によって上記保証ができない場合があります。

* 2 : 「■2.5 V系 V-I 特性」を参照してください。

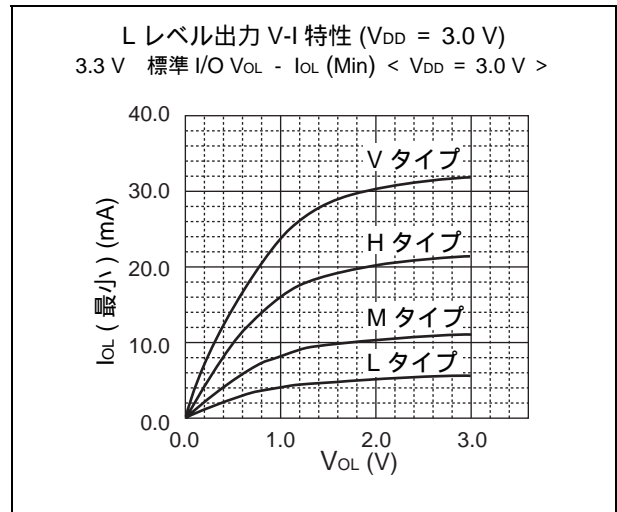
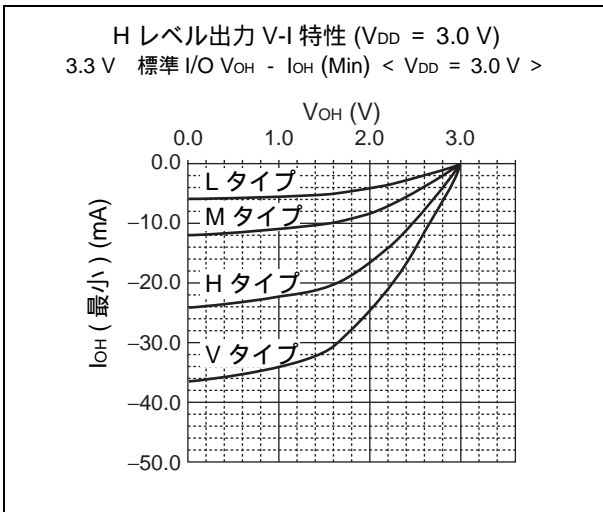
* 3 : 「■1.8 V系 V-I 特性」を参照してください。

* 4 : 「■1.5 V系 V-I 特性」を参照してください。

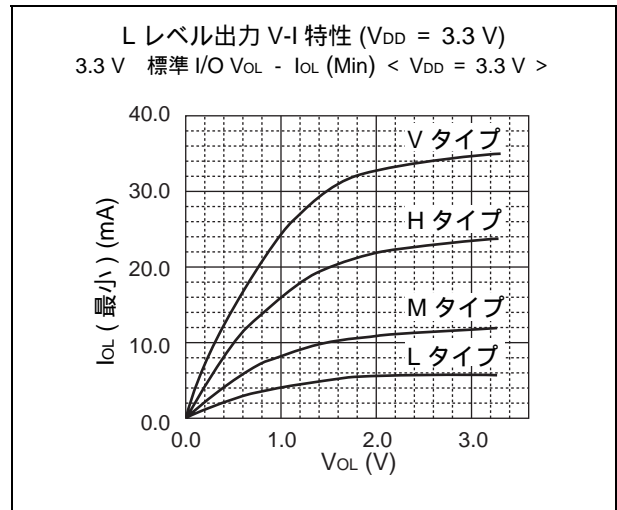
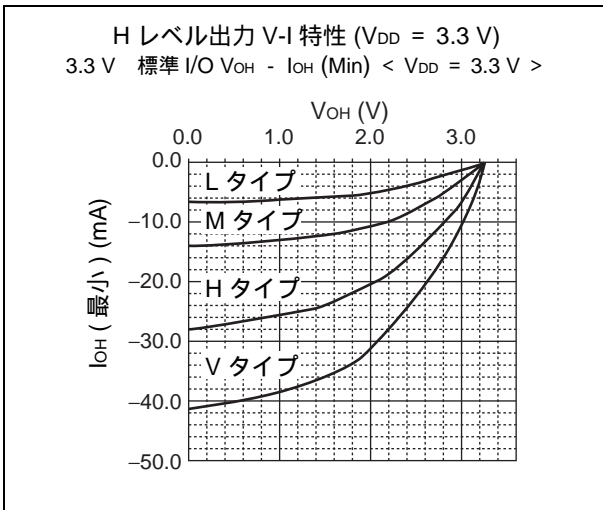
CE71 シリーズ

■ 3.3 V 系 V-I 特性

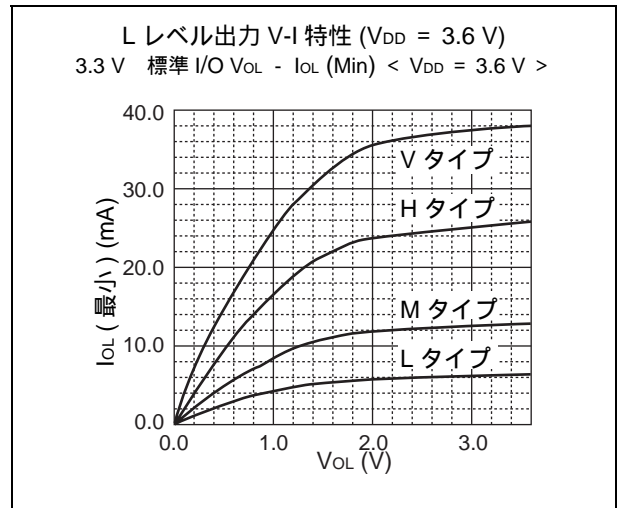
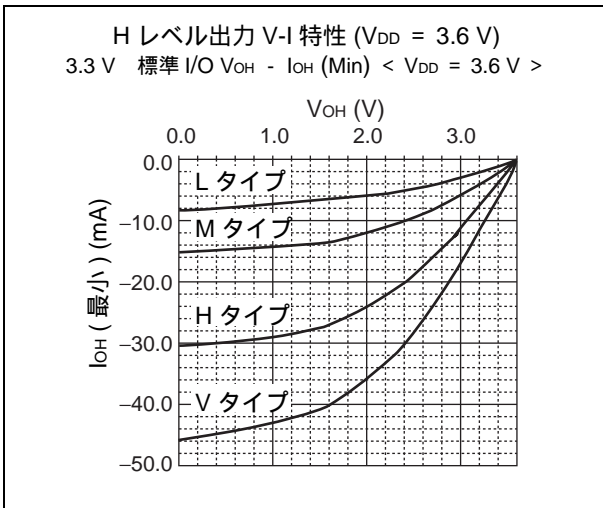
・ 3.3 V 標準 I/O V-I 特性 (条件: $V_{DD} = 3.0 V$)



・ 3.3 V 標準 I/O V-I 特性 (条件: $V_{DD} = 3.3 V$)

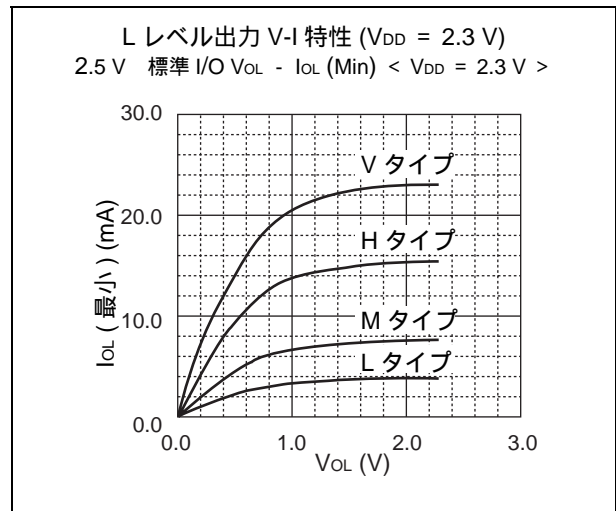
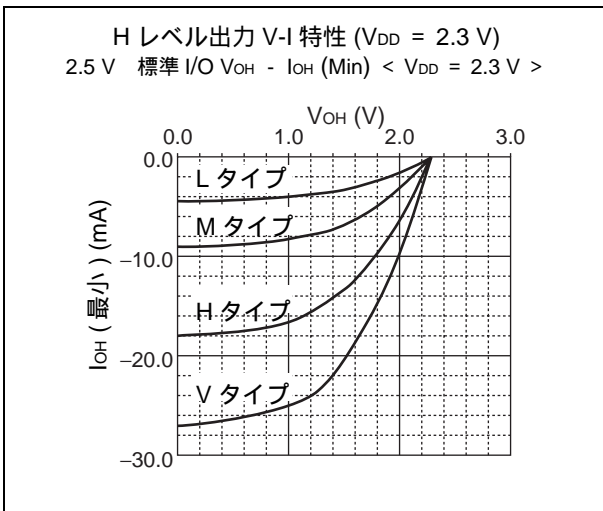


・ 3.3 V 標準 I/O V-I 特性 (条件: $V_{DD} = 3.6 V$)

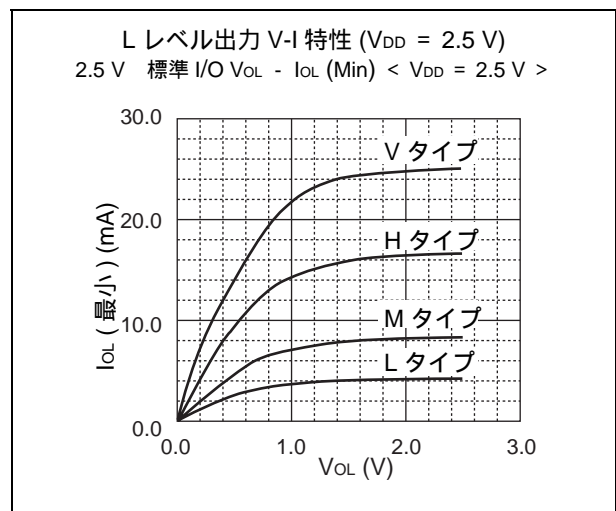
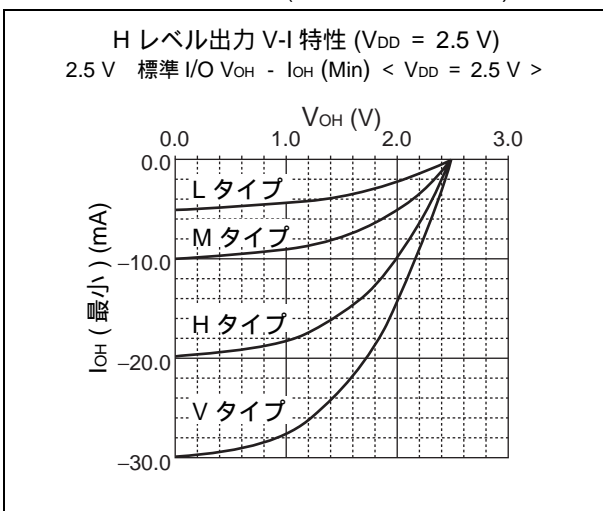


■ 2.5 V 系 V-I 特性

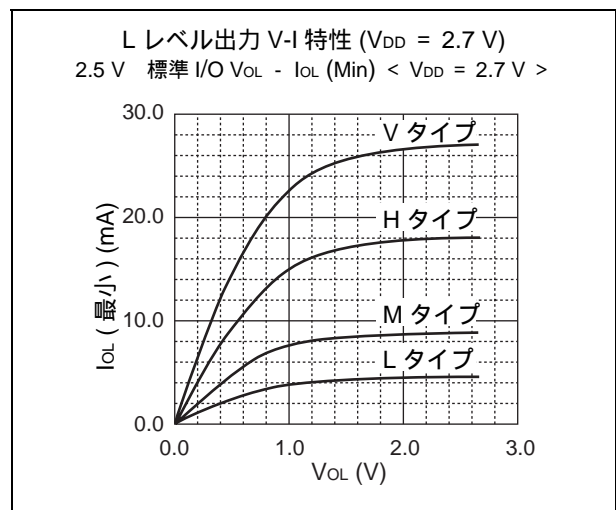
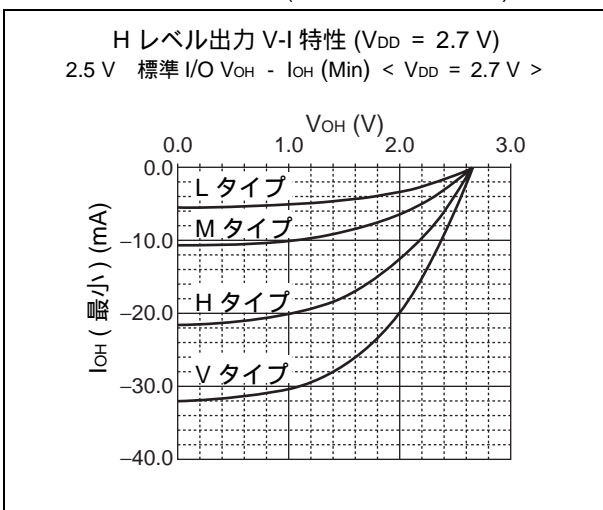
・ 2.5 V 標準 I/O V-I 特性 (条件: $V_{DD} = 2.3 V$)



・ 2.5 V 標準 I/O V-I 特性 (条件: $V_{DD} = 2.5 V$)



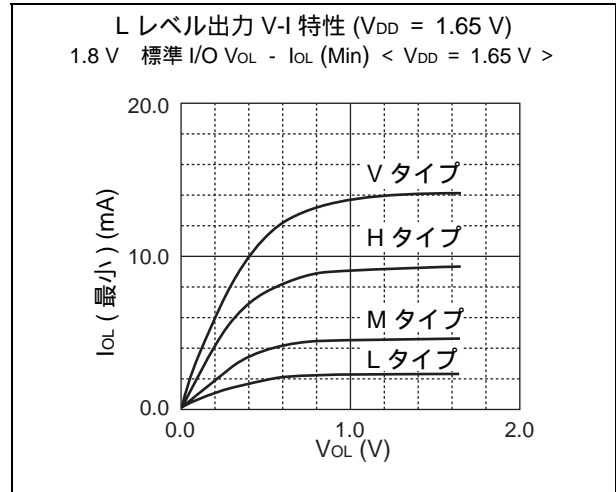
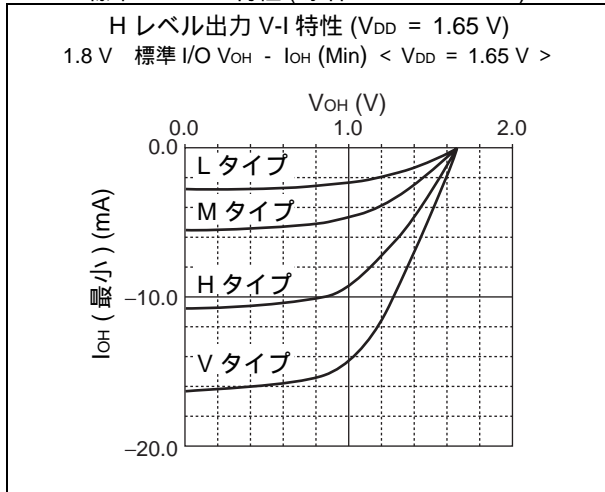
・ 2.5 V 標準 I/O V-I 特性 (条件: $V_{DD} = 2.7 V$)



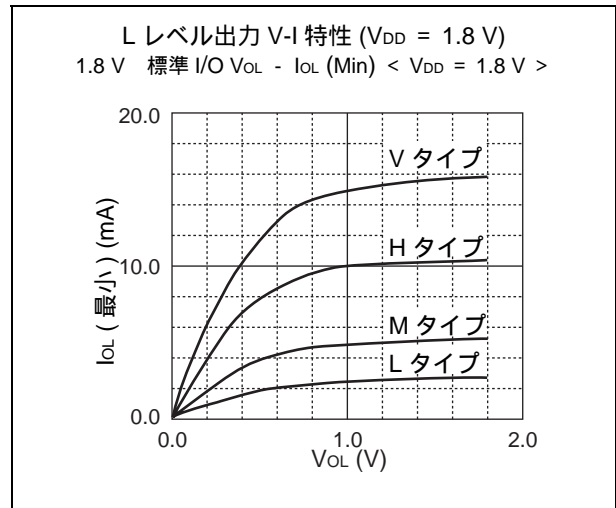
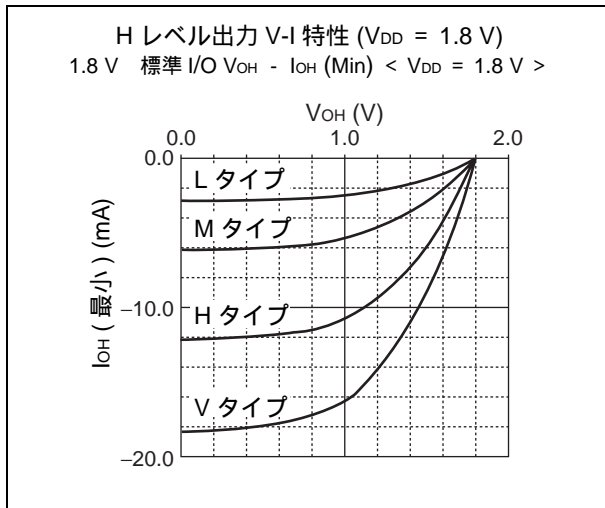
CE71 シリーズ

■ 1.8 V 系 V-I 特性

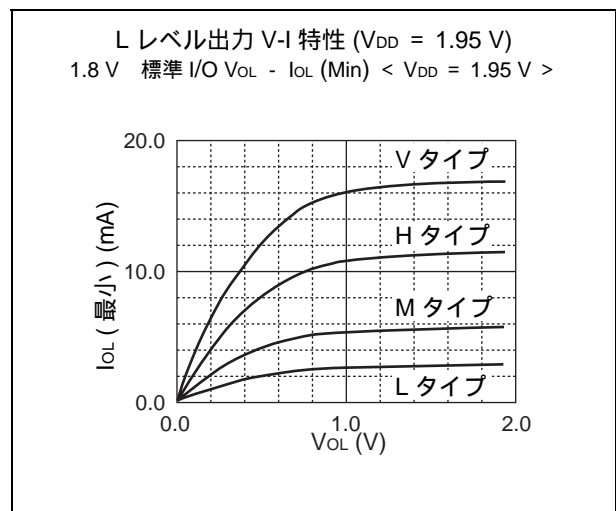
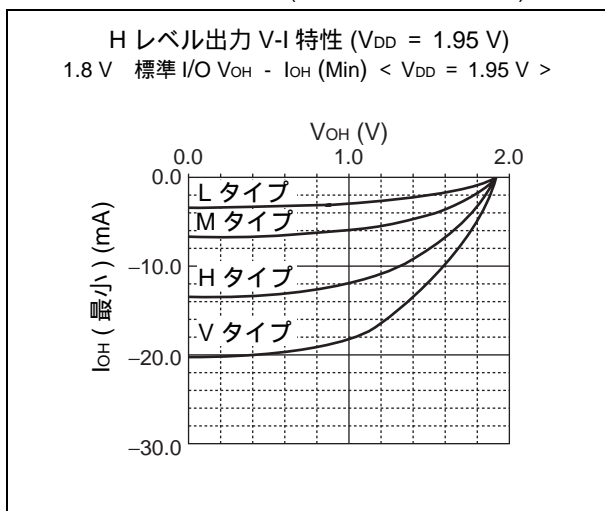
・ 1.8 V 標準 I/O V-I 特性 (条件: $V_{DD} = 1.65 V$)



・ 1.8 V 標準 I/O V-I 特性 (条件: $V_{DD} = 1.8 V$)

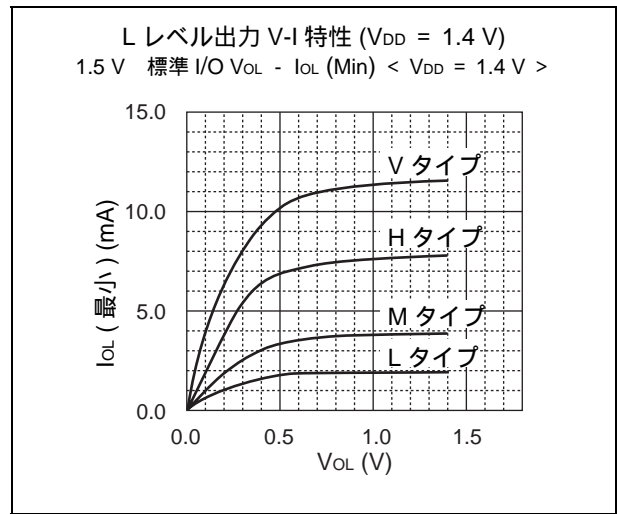
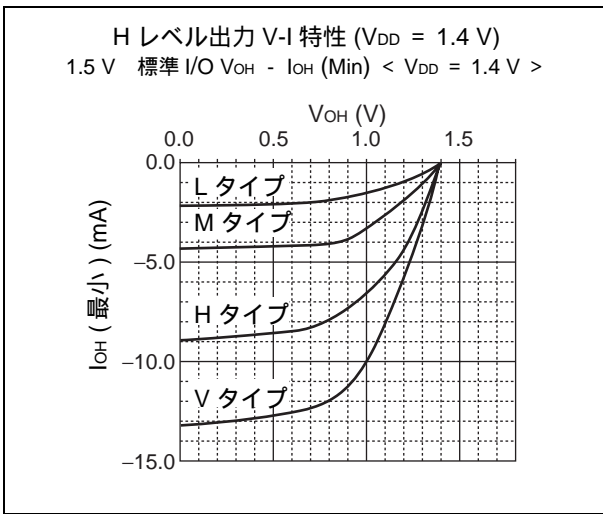


・ 1.8 V 標準 I/O V-I 特性 (条件: $V_{DD} = 1.95 V$)

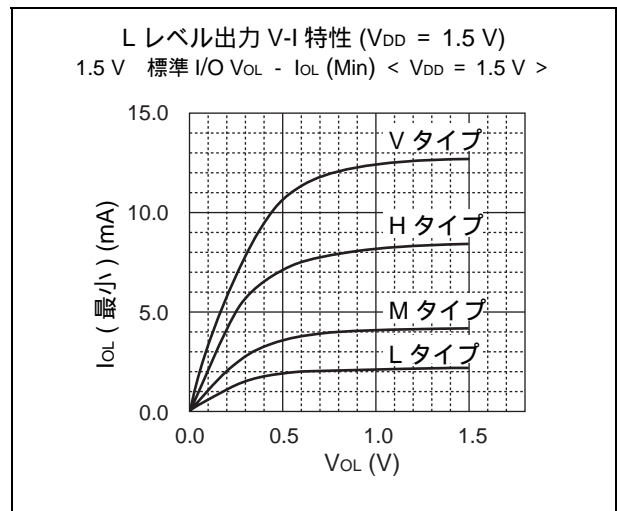
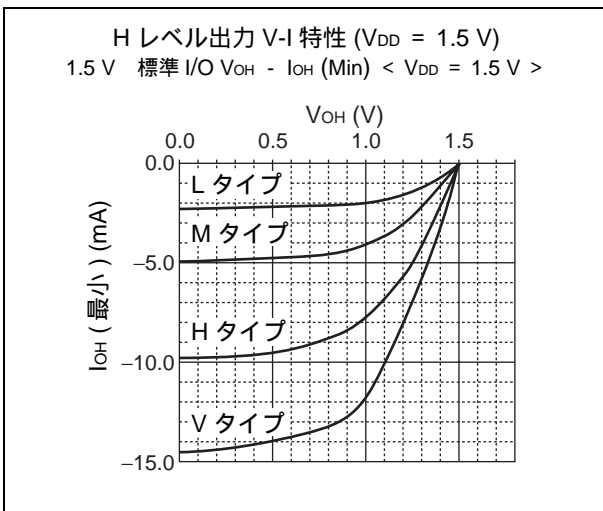


■ 1.5 V 系 V-I 特性

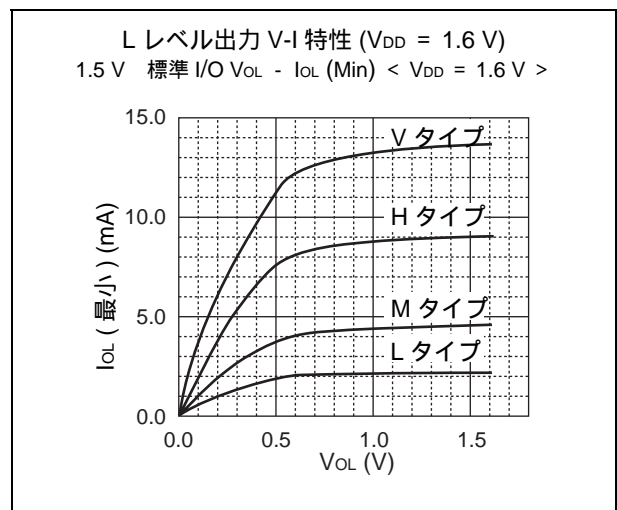
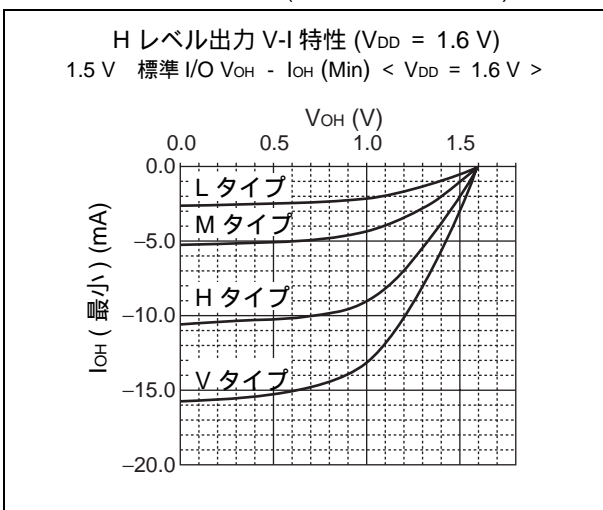
• 1.5 V 標準 I/O V-I 特性 (条件: $V_{DD} = 1.4 V$)



• 1.5 V 標準 I/O V-I 特性 (条件: $V_{DD} = 1.5 V$)



• 1.5 V 標準 I/O V-I 特性 (条件: $V_{DD} = 1.6 V$)



CE71 シリーズ

■ 交流特性

($V_{SS} = 0\text{ V}$, $T_j = -40^\circ\text{C} \sim +125^\circ\text{C}$)

項目	記号	規格			単位
		最小	標準	最大	
遅延時間	t_{pd}^{*1}	$typ^{*2} \times tmin^{*3}$	$typ^{*2} \times ttyp^{*3}$	$typ^{*2} \times tmax^{*3}$	ns

* 1 : 遅延時間 = 伝搬遅延時間, イネーブル時間, ディセーブル時間

* 2 : typ はセル特性表から計算されます。

* 3 : 測定条件

測定条件	tmin	ttyp	tmax
$V_{DD} = 2.5 \pm 0.2\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40^\circ\text{C} \sim +125^\circ\text{C}$	0.60	1.00	1.64
$V_{DD} = 1.8 \pm 0.15\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40^\circ\text{C} \sim +125^\circ\text{C}$	0.84	1.57	2.84
$V_{DD} = 1.5 \pm 0.1\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40^\circ\text{C} \sim +125^\circ\text{C}$	1.14	2.22	4.09

(注意事項) 最大接合温度 T_j に対応して $t_{pd\ max}$ が求められます。

■ 入出力端子容量

($f = 1\text{ MHz}$, $V_{DD} = V_I = 0\text{ V}$, $T_j = +25^\circ\text{C}$)

項目	記号	最大値	単位
入力端子	C_{IN}	16	pF
出力端子	C_{OUT}	16	pF
入出力端子	C_{IO}	16	pF

■ 設計手法

フロアプランツールと論理合成ツールのリンクにより、フロアプラン情報を使用した回路の最適化を自動で行うことが可能です。さらに、フロアプラン情報を使用した CDDM (Clock Driven Design Method) クロックツリー合成ツールなどを用意しています。レイアウト前の段階でフロアプラン情報を使用することにより、レイアウト後のセットアップやホールドなどのタイミング問題を未然に解決出来るため、設計期間の大幅な短縮が可能です。

Synopsys 社製 CAD ツール PrimeTime を使用したスタティックタイミングサインオフをサポートします。これにより、タイミング検証用テストベクタの作成およびシミュレーション時間の大幅な削減が可能です。

スタンダードセル設計手法で作成されたマクロは高集積、高性能が実現できます(マクロ埋込み型セルアレイに比べ、最大集積度は約 1.5 倍)。この高集積化されたマクロを「CE71 シリーズ」に導入するためには、当社スタンダードセル用統合 CAD「SCCAD」を用いて容易に取り込むことができます。

CE71 シリーズ

■ 使用ゲート数とパッケージ

1. 使用ゲート数のカウント方法

これまで使用ベーシックセル (BC) 数での評価では回路の複雑さや 論理合成によって生成された回路であるかどうかなどの回路設計方式により使用率に差が生じたり 論理合成で生成した回路が必ずしも最小面積でレイアウトできないなどの問題がありました。

当社ではこれらの問題を解決し、回路規模とレイアウトの可否を判定するための基準として AREA を考案しました。AREA とは配線の混雑度を考慮して定めたベーシックセルであり、そのセルの実使用ベーシックセル数と端子数から計算した値で、単位は BC です。

フレームの見積りにはこれまでと同様のベーシックセル数による見積りと、より詳細に見積ることが可能な AREA 数による見積りがあります。

ユニットセル、入出力バッファセルまたはコンパイルドセルなどのハードマクロの使用 BC 数、AREA 数は、それぞれのセル特性表に記載されております。

2. パッケージ

パッケージの種類と使用ゲート数の目安を示します。

なお、組合せおよび供給時期につきましては、当社担当までご確認をお願いします。

CE71 (J-Frame)

パッケージ および ピン数	ピン ピッチ (mm)	0k	400k	800k	1200k	1600k	2000k	2400k	2800k	3200k	3600k	4000k	4400k	4800k	5200k	
S Q F P	176 176 208 240	0.50 0.50 0.50 0.50														
H Q F P	208 240 256 304	0.50 0.50 0.40 0.50														
P B G A	256	1.27														
E B G A	352 420 576 660 672	1.27 1.27 1.27 1.00 1.27														

(注意事項) 回路構成により、使用可能なパッケージが異なりますので、当社担当までお問い合わせください。

CE71 (L-Frame)

パッケージ および ピン数	ピン ピッチ (mm)	0k	400k	800k	1200k	1600k	2000k	2400k	2800k	3200k	3600k	4000k	4400k	4800k	5200k	
T A B B G A	304 352 480 560 660 720	0.80 0.80 1.00 1.00 1.00 1.00														

(注意事項) 回路構成により、使用可能なパッケージが異なりますので、当社担当までお問い合わせください。

CE71 シリーズ

CE71 (T-Frame)

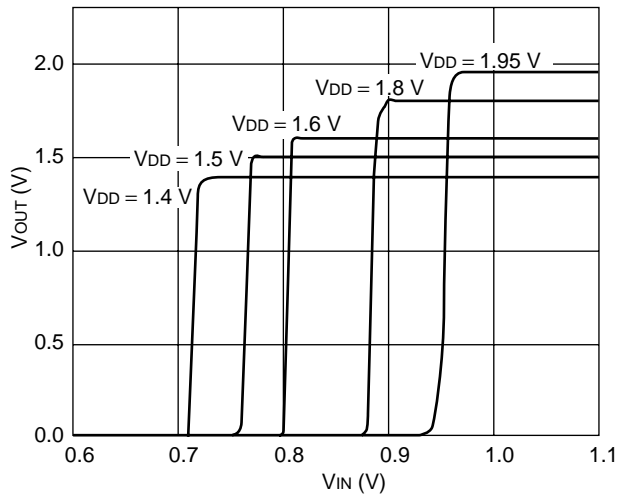
パッケージ および ピン数	ピン ピッチ (mm)	0k 400k 800k 1200k 1600k 2000k 2400k 2800k 3200k 3600k 4000k 4400k 4800k 5200k	
L Q F P	144 176 208 256	0.50 0.50 0.50 0.40	 915k 549k 1358k 1559k
H Q F P	208 240 256 304	0.50 0.50 0.40 0.50	 1976k 1559k 1559k 3349k
F B G A	144 176 224 288	0.80 0.80 0.80 0.75	 341k 477k 1014k 1559k
P B G A	256 352 420	1.27 1.27 1.27	 1559k 1976k 2794k

(注意事項) 回路構成により、使用可能なパッケージが異なりますので、当社担当までお問い合わせください。

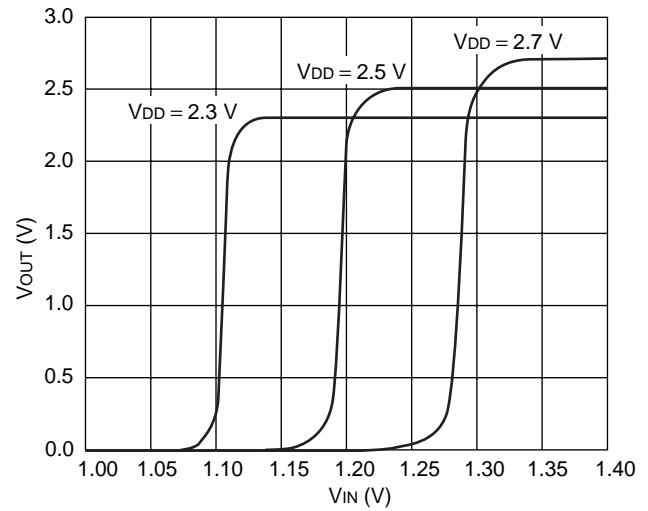
CE71 シリーズ

■ 基本特性グラフ

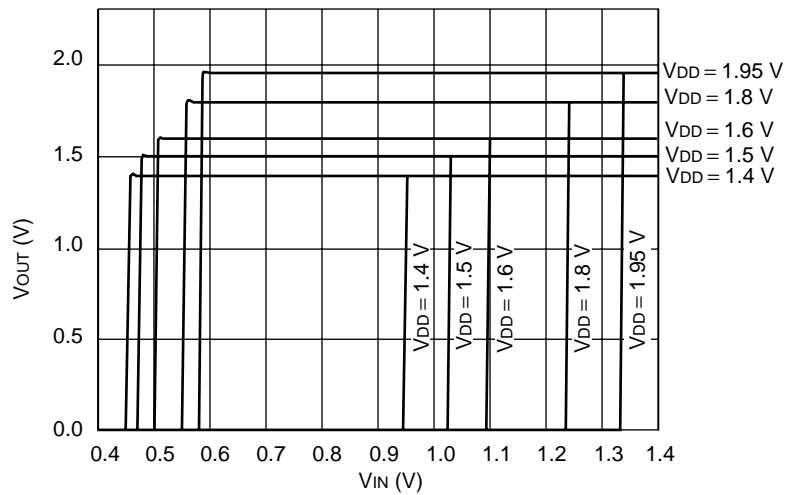
トランスファ特性 (標準 CMOS 入力バッファ) 1



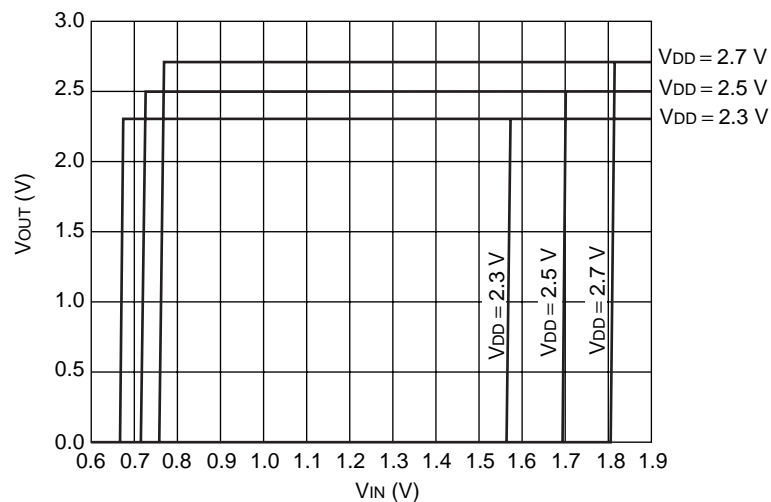
トランスファ特性 (標準 CMOS 入力バッファ) 2



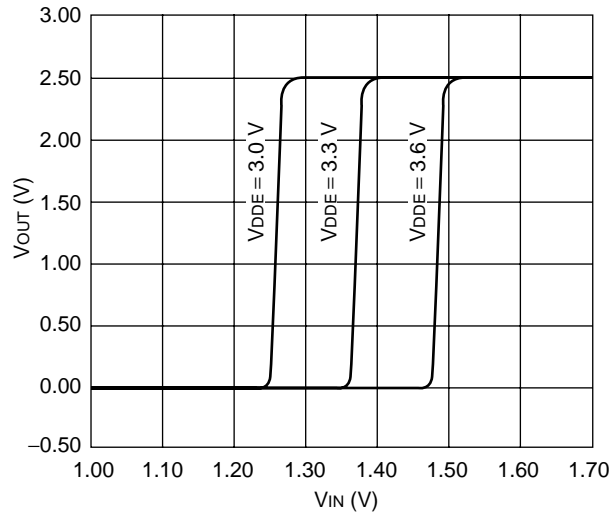
トランスファ特性 (標準シュミット入力バッファ) 1



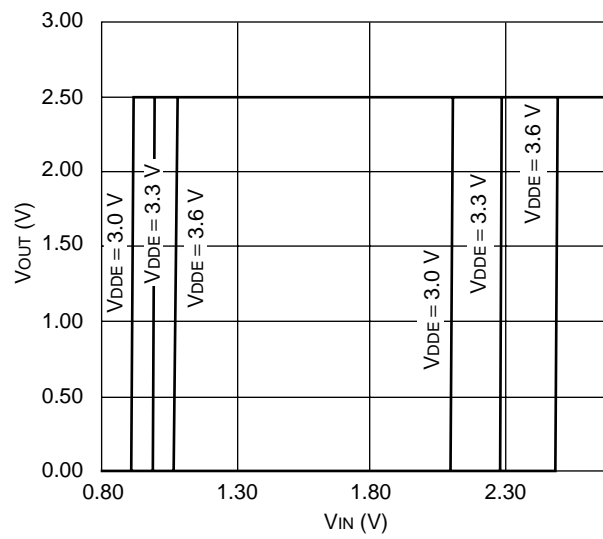
トランスファ特性 (標準シュミット入力バッファ) 2



トランスファ特性 (3.3 V 標準 CMOS 入力バッファ $V_{DDI} = 2.5\text{ V}$)



トランスファ特性 (3.3 V 標準シュミット入力バッファ $V_{DDI} = 2.5\text{ V}$)



富士通マイクロエレクトロニクス株式会社

〒163-0722 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fml/>

お問い合わせ先

富士通エレクトロニクス株式会社

〒163-0731 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fei/>

電子デバイス製品に関するお問い合わせは、こちらまで、

 **0120-198-610**

受付時間：平日 9 時～17 時（土・日・祝日、年末年始を除きます）
携帯電話・PHS からもお問い合わせができます。
※電話番号はお間違えのないよう、お確かめのうえおかけください。

本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。

本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。従いまして、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。

本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的な用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。

本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。

本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。