

セミカスタム

CMOS

マクロ埋込み型セルアレイ

CE81 シリーズ

■ 概 要

0.18 μm CMOS マクロ埋込み型セルアレイ (CE81 シリーズ) は、高速、低消費電力、高集積度を実現した CMOS ASIC です。本シリーズは、最大 3400 万ゲートと従来品の約 3 倍の高集積化を図ると共に、ゲート遅延時間 12 ps と約 3 倍の高速化を達成しております。

また、電源電圧を 1.1 V まで下げても動作可能ですので、大幅な低電力化が実現できます。

■ 特 長

- ・ テクノロジ: 0.18 μm Si ゲート CMOS, 4 層 ~ 6 層配線
- ・ 電源電圧: + 1.8 V \pm 0.15 V (標準仕様) ~ + 1.1 V \pm 0.1 V
- ・ 接合温度範囲: - 40 $^{\circ}\text{C}$ ~ + 125 $^{\circ}\text{C}$
- ・ ゲート遅延時間: $t_{pd} = 12 \text{ ps}$ (1.8 V, インバータ, F/O = 1)
- ・ ゲート消費電力: $P_d = 8 \text{ nW/MHz/BC}$ (1.1 V, 2NAND, F/O = 1)
- ・ ノイズ低減回路付き出力バッファセル
- ・ 入力プルアップ / プルダウン抵抗内蔵 (標準 33 k Ω) 入力および双方向バッファセル
- ・ 水晶発振子専用バッファセル
- ・ 特殊インタフェース: P-CML, LVDS, PCI, AGP, USB, SDRAM-I/F, SSTL ほか (準備中を含む)
- ・ IP マクロ: CPU, DSP, PCI, IEEE1394, USB, IrDA, PLL, ADC, DAC ほか (準備中を含む)
- ・ コンパイルドセル (RAM/ROM/ 乗算器など) の搭載が可能
- ・ 内部バス回路の構成が可能
- ・ Hardware/Software Co-design 環境の充実
- ・ タイミングドリブンレイアウトツール導入による短期開発
- ・ スタティックタイミングサインオフをサポート
これにより、タイミング検証用テストベクタの作成およびシミュレーション時間の大幅な削減が可能
- ・ 大規模回路対応の階層設計環境
- ・ 入力スルーレートを考慮したシミュレーション (Layout 前)、詳細 RC デレイ計算 (Layout 後) により、試作後のタイミングトラブルを最小限に抑えた開発をサポート
- ・ Memory (RAM, ROM) -SCAN をサポート
- ・ Memory (RAM) -BIST をサポート
- ・ Boundary-SCAN をサポート
- ・ パスデレイテストをサポート
- ・ 豊富なパッケージラインアップ: HQFP, FBGA, LQFP

CE81 シリーズ

■ マクロ・ライブラリ

1. 論理セル (約 700 種類)

- Adder
- AND-OR Inverter
- Clock Buffer
- Latch
- NAND
- AND
- NOR
- SCAN Flip Flop
- ENOR
- AND-OR
- その他
- Decoder
- Non-SCAN Flip Flop
- Inverter
- Buffer
- OR-AND
- OR-AND Inverter
- OR
- Selector
- BUS Driver
- EOR

2. IP マクロ

CPU/DSP	FR, SPARClite, 標準 CPU (計画中), 通信用 DSP, AV 用 DSP
インタフェースマクロ	PCI, IEEE1394, USB, IrDA, ほか
マルチメディア処理マクロ	JPEG, MPEG, ほか
ミックスドシグナルマクロ	ADC, DAC, OPAMP, ほか
コンパイルドマクロ	RAM, ROM, 乗算器, 加算器, 積和器, ほか
PLL	アナログ PLL, デジタル PLL

3. 特殊 I/O インタフェースマクロ

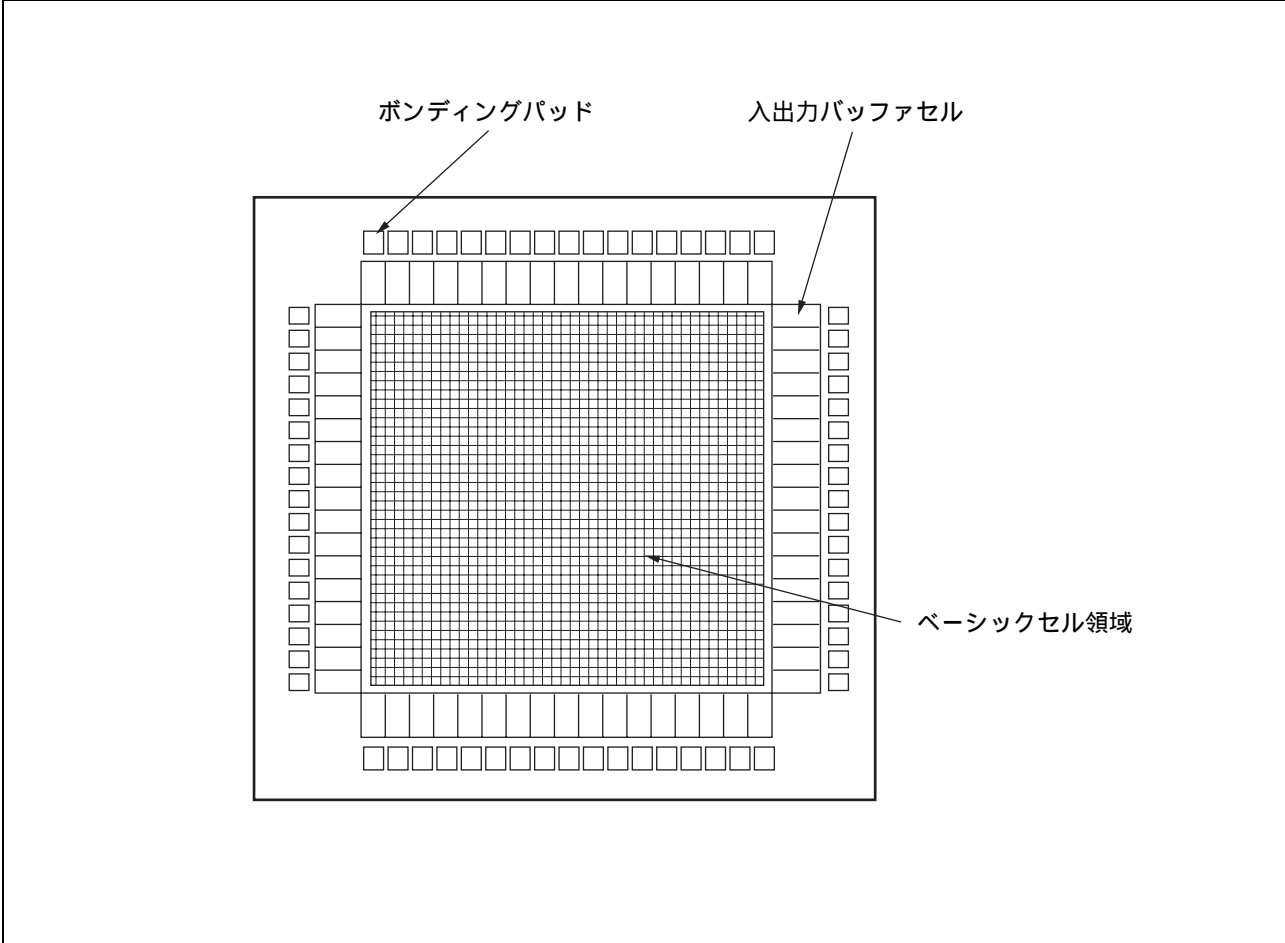
- T-LVTTL
- LVDS
- IEEE1394
- SSTL
- PCI
- SDRAM-I/F
- HSTL
- AGP
- P-CML
- USB

■ チップ構成

チップレイアウトは、チップ周辺領域・ベーシックセル領域の二つに大別されます。

チップ周辺領域には外部デバイスとインタフェースするための入出力バッファセルとボンディングパッドが配置され、ベーシックセル領域には入出力バッファセルの一部と論理回路を構成する単位となるユニットセルやコンパイルドセルなどが配置されます。

・チップ構成図



CE81 シリーズ

■ コンパイルドセル

コンパイルドセルとは、ビット・ワードなどの構成を指定することにより自動生成されるマクロセルのことです。

CE81 シリーズでは以下の種類があります (各マクロともに、カラムタイプによりワード・ビットの範囲が異なります)。

1. クロック同期式シングルポート RAM (1 アドレス:1 リードライト)

・高密度/パーシャルライト型

カラムタイプ (C)	メモリ容量	ワード範囲	ビット範囲	単位
4	16 ~ 72 K	16 ~ 1 K	1 ~ 72	bit
16	64 ~ 72 K	64 ~ 4 K	1 ~ 18	bit

・高速型

カラムタイプ (C)	メモリ容量	ワード範囲	ビット範囲	単位
8	256 ~ 144 K	62 ~ 2 K	4 ~ 72	bit

・大容量パーシャルライト型

カラムタイプ (C)	メモリ容量	ワード範囲	ビット範囲	単位
16	24.5 K ~ 1179 K	4 K ~ 16 K	6 ~ 72	bit

2. クロック同期式デュアルポート RAM (2 アドレス: 1 リードライト, 1 リード)

・高密度/パーシャルライト型

カラムタイプ (C)	メモリ容量	ワード範囲	ビット範囲	単位
4	16 ~ 72 K	16 ~ 1 K	1 ~ 72	bit
16	64 ~ 72 K	64 ~ 4 K	1 ~ 18	bit

3. クロック同期式レジスタファイル (3 アドレス: 1 ライト, 2 リード)

カラムタイプ (C)	メモリ容量	ワード範囲	ビット範囲	単位
1	4608	4 ~ 64	1 ~ 72	bit

4. クロック同期式レジスタファイル (4 アドレス: 2 ライト, 2 リード)

カラムタイプ (C)	メモリ容量	ワード範囲	ビット範囲	単位
1	4608	4 ~ 64	1 ~ 72	bit

5. クロック同期式 ROM (1 アドレス: 1 リード)

カラムタイプ (C)	メモリ容量	ワード範囲	ビット範囲	単位
16	256 ~ 512 K	128 ~ 4 K	2 ~ 128	bit

6. クロック同期式ディレイラインメモリ (2 アドレス: 1 ライト, 1 リード)

カラムタイプ (C)	メモリ容量	ワード範囲	ビット範囲	単位
8	256 ~ 32 K	32 ~ 1 K	8 ~ 32	bit
16	384 ~ 32 K	64 ~ 2 K	6 ~ 16	bit
32	512 ~ 32 K	128 ~ 4 K	4 ~ 8	bit

■ 絶対最大定格

項目	記号	定格値		単位
		最小	最大	
電源電圧 *1	V _{DD}	- 0.5	+ 2.5 *2 + 4.0 *3	V
入力電圧 *1	V _I	- 0.5	V _{DD} + 0.5 (2.5 V) *2 V _{DD} + 0.5 (4.0 V) *3	V
出力電圧 *1	V _O	- 0.5	V _{DD} + 0.5 (2.5 V) *2 V _{DD} + 0.5 (4.0 V) *3	V
保存周囲温度	T _{st}	- 55	+ 125	°C
動作接合温度	T _j	- 40	+ 125	°C
出力電流 *4	I _o	—	± 4	mA
入力信号転送レート	R _I	—	クロック入力 *5 : 200 ノーマル入力 : 100	Mbps *6
出力信号転送レート	R _O	—	100	Mbps *6
出力負荷容量	C _o	—	3000/R _O	pF
入力信号不定継続時間	t _z	—	10	ms
電源端子電流	I _D	—	*7	mA

* 1 : V_{SS} = 0 V を基準にしています。

* 2 : 単一電源時および二電源時の内部ゲート部分

* 3 : 二電源で 3.3 V I/F や 2.5 V I/F を行う時の I/O 部分

* 4 : 10 ms 以上継続する DC 電流 , または平均 DC 電流

* 5 : クロック入力用 I/O セルの使用が前提

* 6 : bps = ビット / 秒

* 7 : V_{DD}, GND 端子 1 本あたりの電源端子電流値

フレーム	電源種類	最大電流 (mA)		配線層数
		標準電源	追加電源	
YS/S, YI/I	V _{DDE} , V _{DDI} , V _{DD} , V _{SS}	68	68	4, 5
	V _{DDE}	39	39	3
	V _{DDI} , V _{DD} , V _{SS}	68	68	
A	V _{DDE} , V _{DDI} , V _{DD} , V _{SS}	34	34	—
B	V _{DDE} , V _{DDI} , V _{DD} , V _{SS}	43	30	—

<注意事項> 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は, 半導体デバイスを破壊する可能性があります。したがって, 定格を一項目でも超えることのないようご注意ください。

CE81 シリーズ

■ 推奨動作条件

・ 単一電源 ($V_{DD} = + 1.8 V \pm 0.15 V$)

($V_{SS} = 0 V$)

項目	記号	規格値			単位
		最小	標準	最大	
電源電圧 (1.8 V 電源電圧)	V_{DD}	1.65	1.8	1.95	V
“H” レベル入力電圧 (1.8 V CMOS)	V_{IH}	$V_{DD} \times 0.65$	—	$V_{DD} + 0.3$	V
“L” レベル入力電圧 (1.8 V CMOS)	V_{IL}	- 0.3	—	$V_{DD} \times 0.35$	V
動作接合温度	T_j	- 40	—	+ 125	°C

・ 二電源 ($V_{DDE} = + 3.3 V \pm 0.3 V$, $V_{DDI} = + 1.8 V \pm 0.15 V$)

($V_{SS} = 0 V$)

項目		記号	規格値			単位
			最小	標準	最大	
電源電圧	1.8 V 電源電圧	V_{DDI}	1.65	1.8	1.95	V
	3.3 V 電源電圧	V_{DDE}	3.0	3.3	3.6	
“H” レベル入力電圧	1.8 V CMOS	V_{IH}	$V_{DDI} \times 0.65$	—	$V_{DDI} + 0.3$	V
	3.3 V CMOS		2.0	—	$V_{DDE} + 0.3$	
“L” レベル入力電圧	1.8 V CMOS	V_{IL}	- 0.3	—	$V_{DDI} \times 0.35$	V
	3.3 V CMOS		- 0.3	—	+ 0.8	
動作接合温度		T_j	- 40	—	+ 125	°C

・ 二電源 ($V_{DDE} = + 3.3 V \pm 0.3 V$, $V_{DDI} = + 1.5 V \pm 0.1 V / + 1.1 V \pm 0.1 V$)

($V_{SS} = 0 V$)

項目		記号	規格値			単位
			最小	標準	最大	
電源電圧		V_{DDE}	3.0	3.3	3.6	V
		V_{DDI}	1.0	1.1	1.2	V
			1.4	1.5	1.6	V
“H” レベル入力電圧	3.3 V CMOS	V_{IH}	2.0	—	$V_{DDE} + 0.3$	V
“L” レベル入力電圧	3.3 V CMOS	V_{IL}	- 0.3	—	+ 0.8	V
動作接合温度		T_j	- 40	—	+ 125	°C

CE81 シリーズ

・二電源 ($V_{DDE} = + 2.5 \text{ V} \pm 0.2 \text{ V}$, $V_{DDI} = + 1.8 \text{ V} \pm 0.15 \text{ V}$)

($V_{SS} = 0 \text{ V}$)

項目	記号	規格値			単位
		最小	標準	最大	
電源電圧	V_{DDE}	2.3	2.5	2.7	V
	V_{DDI}	1.65	1.8	1.95	V
“H” レベル入力電圧	V_{IH}	1.8 V CMOS	$V_{DDI} \times 0.65$	$V_{DDI} + 0.3$	V
		2.5 V CMOS	1.7	$V_{DDE} + 0.3$	V
“L” レベル入力電圧	V_{IL}	1.8 V CMOS	- 0.3	$V_{DDI} \times 0.35$	V
		2.5 V CMOS	- 0.3	+ 0.7	V
動作接合温度	T_j	- 40	—	+ 125	°C

・二電源 ($V_{DDE} = + 2.5 \text{ V} \pm 0.2 \text{ V}$, $V_{DDI} = + 1.5 \text{ V} \pm 0.1 \text{ V} / + 1.1 \text{ V} \pm 0.1 \text{ V}$)

($V_{SS} = 0 \text{ V}$)

項目	記号	規格値			単位	
		最小	標準	最大		
電源電圧	V_{DDE}	2.3	2.5	2.7	V	
	V_{DDI}	1.0	1.1	1.2	V	
		1.4	1.5	1.6	V	
“H” レベル入力電圧	2.5 V CMOS	V_{IH}	1.7	—	$V_{DDE} + 0.3$	V
“L” レベル入力電圧	2.5 V CMOS	V_{IL}	- 0.3	—	+ 0.7	V
動作接合温度	T_j	- 40	—	+ 125	°C	

< 注意事項 > 推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

CE81 シリーズ

■ 電気的特性

1. 直流特性

- ・ 静止時の電源電流 (単一電源 / 二電源)

A フレーム

フレーム	A4	A5	A6	A7	A8	A9	AA	AB	AC	AD	AE
CATLG 値 (mA)	0.5	0.7	1	1.4	2	2.6	3.3	4	4.6	5.3	6.6

S フレーム

フレーム	SA	SB	SC	SD	SE	SF	SG
CATLG 値 (mA)	3.7	4.4	5	5.8	7.1	9.2	10.9

I フレーム

フレーム	I1	I2	I3	I4	I5	I6	I7	I8	I9	IA
CATLG 値 (mA)	0.3	0.4	0.6	0.7	0.8	1.2	1.5	2	2.8	3.4

(注意事項) $V_{IH} = V_{DD}$, $V_{IL} = V_{SS}$, $T_j = + 25^{\circ}\text{C}$, メモリ搭載の場合はメモリがスタンバイ時, アナログマクロ搭載の場合はパワーダウンモード時の値です。

プルアップ / プルダウン抵抗付き入力バッファ, 水晶発振バッファを使用した場合には回路構成によって上記保証ができない場合があります。

また, 高速版セルライブラリを使用した場合には上記保証ができない場合があります。

- ・ 単一電源 : $V_{DD} = 1.8\text{V}$

($V_{DD} = 1.8\text{V} \pm 0.15\text{V}$, $V_{SS} = 0\text{V}$, $T_j = - 40^{\circ}\text{C} \sim + 125^{\circ}\text{C}$)

項目	記号	条件	規格値			単位
			最小	標準	最大	
電源電流	I_{DD5}	—	—	—	*	mA
“H” レベル出力電圧	V_{OH}	$I_{OH} = - 100\ \mu\text{A}$	$V_{DD} - 0.2$	—	V_{DD}	V
“L” レベル出力電圧	V_{OL}	$I_{OL} = 100\ \mu\text{A}$	0	—	0.2	V
入力リーク電流	I_L	—	—	—	± 5	μA
入力プルアップ / プルダウン抵抗	R_P	プルアップ $V_{IL} = 0$ プルダウン $V_{IH} = V_{DD}$	—	18	—	k Ω

* : 「・ 静止時の電源電流 (単一電源 / 二電源)」の表を参照してください。

CE81 シリーズ

・二電源 : $V_{DDE} = 3.3\text{ V}$, $V_{DDI} = 1.8\text{ V} / 1.5\text{ V} / 1.1\text{ V}$

($V_{DDE} = 3.3\text{ V} \pm 0.3\text{ V}$, $V_{DDI} = 1.8\text{ V} \pm 0.15\text{ V} / 1.5\text{ V} \pm 0.1\text{ V} / 1.1\text{ V} \pm 0.1\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			最小	標準	最大	
電源電流	I_{DD5}	—	—	—	*1	mA
“H” レベル出力電圧	V_{OH4}	3.3 V 系出力端子 $I_{OH} = -100\text{ }\mu\text{A}$	$V_{DDE} - 0.2$	—	V_{DDE}	V
	V_{OH2}	1.8 V 系出力端子 $I_{OH} = -100\text{ }\mu\text{A}$	$V_{DDI} - 0.2$	—	V_{DDI}	V
“L” レベル出力電圧	V_{OL4}	3.3 V 系出力端子 $I_{OL} = 100\text{ }\mu\text{A}$	0	—	0.2	V
	V_{OL2}	1.8 V 系出力端子 $I_{OL} = 100\text{ }\mu\text{A}$	0	—	0.2	V
“H” レベル出力 V-I 特性	—	3.3 V 系 $V_{DDE} = 3.3\text{ V} \pm 0.3\text{ V}$	—	*2	—	—
		1.8 V 系 $V_{DDI} = 1.8\text{ V} \pm 0.15\text{ V}$	—	—	—	—
“L” レベル出力 V-I 特性	—	3.3 V 系 $V_{DDE} = 3.3\text{ V} \pm 0.3\text{ V}$	—	*2	—	—
		1.8 V 系 $V_{DDI} = 1.8\text{ V} \pm 0.15\text{ V}$	—	—	—	—
入力リーク電流	I_L	—	—	—	± 5	μA
入力プルアップ / プルダウン抵抗	R_P	1.8 V 系 プルアップ $V_{IL} = 0$ プルダウン $V_{IH} = V_{DDI}$	—	18	—	k Ω
		3.3 V 系 プルアップ $V_{IL} = 0$ プルダウン $V_{IH} = V_{DDE}$	10	33	80	

* 1 : 「・ 静止時の電源電流 (単一電源 / 二電源)」の表を参照してください。

* 2 : 「・ V-I 特性」の図 1, 図 2 を参照してください。

・二電源 : $V_{DDE} = 2.5\text{ V}$, $V_{DDI} = 1.8\text{ V} / 1.5\text{ V} / 1.1\text{ V}$

($V_{DDE} = 2.5\text{ V} \pm 0.2\text{ V}$, $V_{DDI} = 1.8\text{ V} \pm 0.15\text{ V} / 1.5\text{ V} \pm 0.1\text{ V} / 1.1\text{ V} \pm 0.1\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			最小	標準	最大	
電源電流	I_{DD5}	—	—	—	*	mA
“H” レベル出力電圧	V_{OL3}	2.5 V 系出力端子 $I_{OH} = -100\text{ }\mu\text{A}$	$V_{DDE} - 0.2$	—	V_{DDE}	V
	V_{OL2}	1.8 V 系出力端子 $I_{OH} = -100\text{ }\mu\text{A}$	$V_{DDI} - 0.2$	—	V_{DDI}	V
“L” レベル出力電圧	V_{OL3}	2.5 V 系出力端子 $I_{OL} = 100\text{ }\mu\text{A}$	0	—	0.2	V
	V_{OL2}	1.8 V 系出力端子 $I_{OL} = 100\text{ }\mu\text{A}$	0	—	0.2	V
入力リーク電流	I_L	—	—	—	± 5	μA
入力プルアップ / プルダウン抵抗	R_P	2.5 V 系 プルアップ $V_{IL} = 0$ プルダウン $V_{IH} = V_{DDE}$	—	25	—	k Ω
		1.8 V 系 プルアップ $V_{IL} = 0$ プルダウン $V_{IH} = V_{DDI}$	—	18	—	

* : 「・ 静止時の電源電流 (単一電源 / 二電源)」の表を参照してください。

CE81 シリーズ

・ V-I 特性

条件 Min : Process = Slow, $T_j = +125^\circ\text{C}$, $V_{DD} = 3.6\text{ V}$
 Typ : Process = Typical, $T_j = +25^\circ\text{C}$, $V_{DD} = 3.3\text{ V}$
 Max : Process = Fast, $T_j = -40^\circ\text{C}$, $V_{DD} = 3.0\text{ V}$

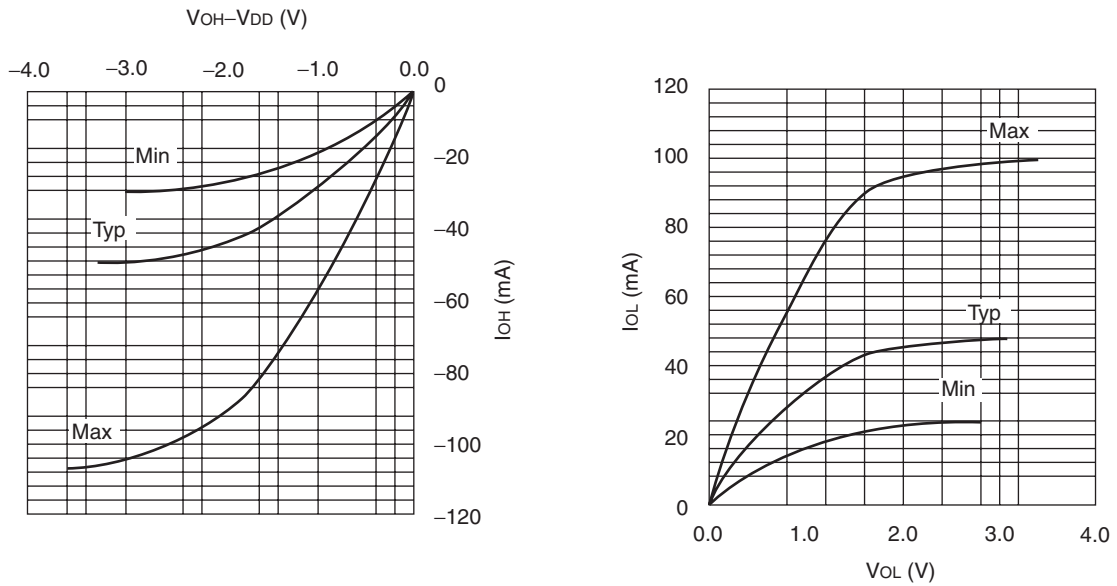


図1 3.3 V 標準 I/O L, M タイプ V-I 特性

条件 Min : Process = Slow, $T_j = +125^\circ\text{C}$, $V_{DD} = 3.6\text{ V}$
 Typ : Process = Typical, $T_j = +25^\circ\text{C}$, $V_{DD} = 3.3\text{ V}$
 Max : Process = Fast, $T_j = -40^\circ\text{C}$, $V_{DD} = 3.0\text{ V}$

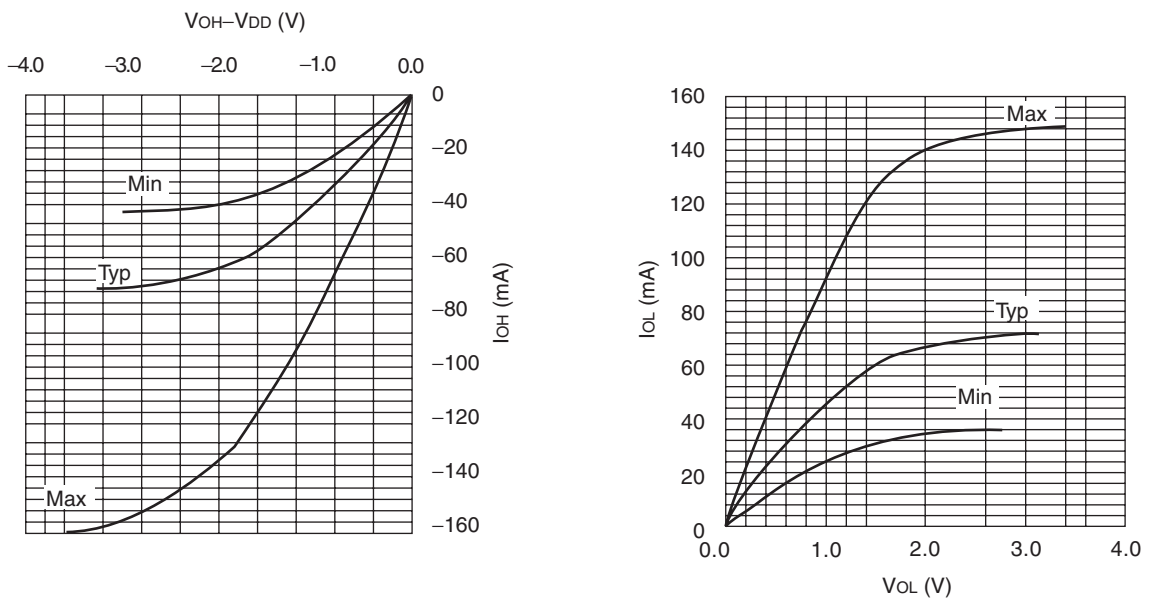


図2 3.3 V 標準 I/O H, V タイプ V-I 特性

2. 交流特性

($V_{DD} = 1.8\text{ V} \pm 0.15\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$)

項目	記号	規格値			単位
		最小	標準	最大	
遅延時間	t_{pd}^{*1}	$typ^{*2} \times t_{min}^{*3}$	$typ^{*2} \times t_{typ}^{*3}$	$typ^{*2} \times t_{max}^{*3}$	ns

* 1 : 遅延時間 = 伝播遅延時間, イネーブル時間, ディセーブル時間

* 2 : typ はセル特性表から計算されます。

* 3 : 測定条件

測定条件	tmin	ttyp	tmax
$V_{DD} = 1.8\text{ V} \pm 0.15\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$	0.64	1.00	1.58
$V_{DD} = 1.5\text{ V} \pm 0.10\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$	0.83	1.31	2.05
$V_{DD} = 1.1\text{ V} \pm 0.10\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$	1.37	2.45	4.88

(注意事項) 最大接合温度 T_j に対応して $t_{pd\ max}$ が求められます。

■ 入出力端子容量

($f = 1\text{ MHz}$, $V_{DD} = V_I = 0\text{ V}$, $T_j = +25\text{ }^\circ\text{C}$)

項目	記号	規格値	単位
入力端子	C_{IN}	最大 16	pF
出力端子	C_{OUT}	最大 16	pF
入出力端子	$C_{i/o}$	最大 16	pF

(注意事項) 容量値はパッケージや端子位置により異なります。

■ 設計手法

フロアプランツールと論理合成ツールのリンクにより、フロアプラン情報を使用した回路の最適化を自動で行えます。更に、フロアプラン情報を使用した CDDM (Clock Driven Design Method) クロックツリー合成ツールなどを用意しています。レイアウト前の段階でフロアプラン情報を使用することにより、レイアウト後のセットアップやホールドなどのタイミング問題を未然に解決できます。また搭載回路の大規模化に対応するために階層化レイアウト手法を採用することにより設計期間の大幅な短縮が可能です。

CE81 シリーズ

■ 使用ゲート数とパッケージ

1. 使用ゲート数のカウント方法

これまで使用ベーシックセル (BC) 数での評価では回路の複雑さや論理合成によって生成された回路であるかどうかなどの回路設計方式により使用率に差が生じたり、論理合成で生成した回路が必ずしも最小面積でレイアウトできないなどの問題がありました。

当社ではこれらの問題を解決し、回路規模とレイアウトの可否を判定するための基準として AREA を考案しました。AREA とは配線の混雑度を考慮して定めたベーシックセルであり、そのセルの実使用ベーシックセル数と端子数から計算した値で、単位は BC です。

フレームの見積りにはこれまでと同様のベーシックセル数による見積りと、より詳細に見積ることが可能な AREA 数による見積りがあります。

ユニットセル、入出力バッファセルまたはコンパイルドセルなどのハードマクロの使用 BC 数、AREA 数は、それぞれのセル特性表に記載されております。

2. パッケージ

パッケージの種類と使用ゲート数の目安を示します。

なお、組合せおよび供給時期につきましては、営業部門までご確認をお願いします。

CE81

・使用ゲート数とパッケージ

パッケージ および		ピン ピッチ (mm)	0 2000k 4000k 6000k 8000k 10000k 12000k 14000k 16000k 18000k 20000k
H Q F P	208	0.50	— 1098k
	240	0.50	— 2085k
	256	0.40	— 3764k
	304	0.50	— 4712k
	304	0.50	— 15158k
L Q F P	144	0.50	— 722k
	176	0.50	— 963k
	208	0.50	— 1098k
F B G A	112	0.80	— 514k
	176	0.80	— 722k
	192	0.80	— 1098k
	240	0.50	— 2697k
	288	0.75	— 2697k
	368	0.50	— 4712k

(注意事項) 回路構成により、使用可能なパッケージが異なりますので、営業部門までお問い合わせください。

MEMO

MEMO

MEMO

富士通マイクロエレクトロニクス株式会社

〒163-0722 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fm/>

お問い合わせ先

富士通エレクトロニクス株式会社

〒163-0731 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fei/>

電子デバイス製品に関するお問い合わせは、こちらまで、

 **0120-198-610**

受付時間：平日 9 時～17 時（土・日・祝日、年末年始を除きます）
携帯電話・PHS からもお問い合わせができます。
電話番号はお間違えないよう、お確かめのうえおかけください。

本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。

本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。従いまして、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。

本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的な用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。

本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。

本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。