

セミカスタム

CMOS

スタンダードセル

CS86 シリーズ

■ 概 要

0.18 μm スタンダードセル CS86 シリーズは、従来の CS81 シリーズに配線ピッチ縮小技術と I/O 上に PAD を配置する技術を導入することで、より高集積化を実現した CMOS ASIC です。

CS86 シリーズには 3 タイプのセルセット (CS86MN, CS86MZ, CS86ML) があり、低消費電力を要求される携帯機器から大規模高速を要求される画像処理まで様々な用途に合わせた製品に適します。これら 3 タイプのセルセットは混在可能であり、低消費電力でありながら部分的に高速動作を要求されるようなシステム LSI を実現できます。

■ 特 長

- ・ テクノロジ : 0.18 μm Si ゲート CMOS 5 層 ~ 6 層配線
同一チップ上にスタンダードなトランジスタセルと超高速プロセスセルとの混在およびスタンダードなトランジスタセルと低リークプロセスセルとの混在が可能
- ・ 電源電圧 : 1.8 V \pm 0.15 V (標準仕様) ~ 1.1 V \pm 0.1 V
- ・ 接合温度範囲 : - 40 $^{\circ}\text{C}$ ~ + 125 $^{\circ}\text{C}$
- ・ セルセット
 - CS86MN の特長 : スタンダードなトランジスタ特性となっており、高速処理が必要な製品向けに開発されたライブラリです。
 - CS86MZ の特長 : 超高速動作向けのトランジスタ特性となっており、CS86MN より、高速処理が必要な製品向けに開発されたライブラリです。
 - CS86ML の特長 : リーク電流を抑えたトランジスタ特性となっており、携帯機器などの低消費電力が必要な製品向けに開発されたライブラリです。
- ・ セルスペック :

セルセット名	CS86MZ	CS86MN	CS86ML	単位
遅延時間 *1	70	88	136	ps
消費電力 *2	42.7	40.1	38.3	nW/MHz
リーク電力 *3	3.922	0.023	0.0067	nW

*1 : 2 入力 NAND セル (ローパワータイプ), F/O = 2, 標準負荷, 電源電圧 1.8 V, 温度 = + 25 $^{\circ}\text{C}$

*2 : 2 入力 NAND セル (ローパワータイプ), F/O = 1, 4 Grid, 電源電圧 1.8 V, 温度 = + 25 $^{\circ}\text{C}$

*3 : 2 入力 NAND セル (ローパワータイプ), F/O = 0, 無負荷, 電源電圧 1.8 V, 温度 = + 25 $^{\circ}\text{C}$

(続 く)

CS86 シリーズ

(続き)

- ・ ノイズ低減回路付き出力バッファセル
- ・ 入力プルアップ / プルダウン抵抗内蔵入力バッファセルおよび双方向バッファセル
- ・ 水晶発振回路専用バッファセル
- ・ 特殊インタフェース : SSTL2, PCI, P-CML, T-LVTTL, USB, IEEE1394 ほか
- ・ IP マクロ : CPU (ARM9, FR-V ほか) , DSP, PCI, IEEE1394, USB, IrDA, PLL, DAC, ADC ほか
- ・ コンパイルドセル (RAM/ROM/ レジスタファイル /Delay line) の搭載が可能
- ・ 内部バス回路の構成が可能
- ・ Hardware/Software Co-design 環境の充実
- ・ Physical Synthesis ツール導入による短期開発
- ・ Low Power Synthesis ツール導入による低消費電力化
- ・ タイミング・ドリブン・レイアウトツール導入による短期開発
- ・ 大規模回路対応の階層設計環境
- ・ シグナル・インテグリティ対応サポート
- ・ Memory (RAM, ROM) Scan をサポート
- ・ Memory (RAM) Bist をサポート
- ・ Boundary Scan をサポート
- ・ パスディレイテストをサポート
- ・ 豊富なパッケージラインアップ: QFP, LQFP, HQFP, PBGA, FBGA, FLGA

■ マクロ・ライブラリ

1. 論理セル

- Adder
- AND-OR Inverter
- Clock Buffer
- Latch
- NAND
- AND
- NOR
- OR-AND
- Scan Flip Flop
- ENOR
- Boundary Scan Register
- Bus Driver
- AND-OR
- Decoder
- NON-Scan Flip Flop
- Inverter
- Buffer
- OR-AND Inverter
- OR
- Delay Buffer
- Selector
- EOR
- Dummy Clock Buffer
- その他

2. IP マクロ

CPU	FR-V, ARM9, ほか
DSP	通信用 DSP, デジタル AV 用 DSP, ほか
周辺マクロ	インターバルタイマ, 割込みコントローラ, DMA コントローラ, RTC, Calendar, UART, ほか
インタフェースマクロ	PCI, IEEE1394, USB, IrDA, ほか
マルチメディア処理マクロ	JPEG, MPEG 4.0, ほか
ミックスドシグナルマクロ	ADC, DAC, OPAMP, ほか
コンパイルドマクロ	RAM (1 port, 2 ports), ROM, Delay Line, レジスタファイル, ほか
PLL	アナログ PLL
I/O マクロ	1.1 V ~ 5 V の各種インタフェースレベルに対応, SSTL2, PCI, P-CML, T-LVTTL, USB, IEEE1394, ほか

CS86 シリーズ

■ コンパイルドセル

コンパイルドセルとは、ビット・ワードなどの構成を指定することにより自動生成されるマクロセルのことです。
CS86シリーズでは、以下の種類があります(各マクロともに、カラムタイプによりワード・ビットの範囲が異なります)。

1. クロック同期式シングルポート RAM (1 アドレス:1 リードライト)

・高密度型 / 高密度パーシャルライト型

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単位
4	16 ~ 72 K	16 ~ 1 K	1 ~ 72	bit
16	64 ~ 72 K	64 ~ 4 K	1 ~ 18	bit

・超高密度型 / 超高密度パーシャルライト型

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単位
4	64 ~ 144 K	32 ~ 2 K	2 ~ 72	bit

・大容量パーシャルライト型

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単位
16	24 ~ 1152 K	4K ~ 16 K	6 ~ 72	bit

・超高密度大容量パーシャルライト型

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単位
16	2 ~ 1152 K	512 ~ 16 K	4 ~ 72	bit

・高速型

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単位
8	256 ~ 144 K	64 ~ 2 K	4 ~ 72	bit

2. クロック同期式デュアルポート RAM (2 アドレス : 1 リードライト, 1 リード)

・高密度型 / パーシャルライト型

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単位
4	16 ~ 72 K	16 ~ 1 K	1 ~ 72	bit
16	64 ~ 72 K	64 ~ 4 K	1 ~ 18	bit

3. クロック同期式レジスタファイル (3 アドレス : 1 ライト, 2 リード)

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単位
1	4 ~ 4608	4 ~ 64	1 ~ 72	bit

4. クロック同期式レジスタファイル (4 アドレス : 2 ライト, 2 リード)

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単位
1	4 ~ 4608	4 ~ 64	1 ~ 72	bit

5. クロック同期式 ROM (1 アドレス : 1 リード)

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単位
16	256 ~ 1024 K	128 ~ 8 K	2 ~ 128	bit
64	1 ~ 1024 K	512 ~ 32 K	2 ~ 32	bit

6. クロック同期式 Delay line メモリ (2 アドレス : 1 ライト, 1 リード)

カラムタイプ	メモリ容量	ワード範囲	ビット範囲	単位
8	256 ~ 32 K	32 ~ 1 K	8 ~ 32	bit
16	384 ~ 32 K	64 ~ 2 K	6 ~ 16	bit
32	512 ~ 32 K	128 ~ 4 K	4 ~ 8	bit

CS86 シリーズ

■ 絶対最大定格

項目	記号	定格値		単位
		最小	最大	
電源電圧 *1	V _{DD}	- 0.5	+ 2.5 *2 + 4.0 *3	V
入力電圧 *1	V _I	- 0.5	V _{DD} + 0.5 (2.5 V) *2 V _{DD} + 0.5 (4.0 V) *3	V
出力電圧 *1	V _O	- 0.5	V _{DD} + 0.5 (2.5 V) *2 V _{DD} + 0.5 (4.0 V) *3	V
保存周囲温度	T _{st}	- 55	+ 125	°C
動作接合温度	T _j	- 40	+ 125	°C
出力電流 *4	I _O	± 10 (3.3 V CMOS, 2.5 V CMOS) ± 7.5 (1.8 V CMOS)		mA
入力信号転送レート	R _I	—	クロック入力 *5 : 200 ノーマル入力 : 100	Mbps*6
出力信号転送レート	R _O	—	100	Mbps*6
出力負荷容量	C _O	—	3000/R _O	pF
電源端子電流	I _D	—	*7	mA

* 1 : V_{SS} = 0 V

* 2 : 単一電源時および二電源時の内部ゲート部分

* 3 : 二電源で 3.3 V I/F や 2.5 V I/F を行う時の I/O 部分

* 4 : 10 ms 以上継続する DC 電流, または平均 DC 電流

* 5 : クロック入力用 I/O セルを使用した場合

* 6 : bps = ビット / 秒

* 7 : 「 $I \cdot V_{DD}$, GND 端子 1 本あたりの電源端子電流値 (mA)」を参照

・ V_{DD}, GND 端子 1 本あたりの電源端子電流値 (mA)

(a) 電源 I/O 1 本あたりの最大電流 *1

T_j = + 125 °C*2

フレーム	電源種類	最大電流 (標準電源時)(mA)	配線層数
YH, XH, YI, XI	V _{DDE}	68	4
	V _{DDE}	59	5
	V _{DDE}	59	6
	V _{DDI} , V _{DD} , V _{SS}	68	4
	V _{DDI} , V _{DD} , V _{SS}	93	5
	V _{DDI} , V _{DD} , V _{SS}	118	6

(b) 電源 I/O 1 本あたりコア内へ供給可能な電流値

T_j = + 125 °C*2

フレーム	電源種類	最大電流 (標準電源時)(mA)	配線層数
YH, XH, YI, XI	V _{DDI} , V _{DD} , V _{SS}	34	4
	V _{DDI} , V _{DD} , V _{SS}	34	5
	V _{DDI} , V _{DD} , V _{SS}	59	6

* 1 : 電源 I/O あたりの最大電流は I/O 部への供給電流とコア内への供給電流を含みます。

* 2 : 電流値は接合温度により変動します。T_j = + 125 °C 以外の時は以下の係数を掛けて算出してください。

T_j = + 111 °C ~ + 125 °C : 1.0

T_j = + 91 °C ~ + 110 °C : 1.4

T_j = ~ + 90 °C : 2.8

(注意事項) 電源端子の計算方法 (配線層数 6 層フレーム (2 電源) の場合)

- VDD, GND 端子 1 本あたりの最大電流

V_{DDE}: 「(a) 電源 I/O 1 本あたりの最大電流」の値を用い V_{DDE} = 59 mA/ 本

V_{DDI}, V_{SS}: 「(b) 電源 I/O 1 本あたりコア内へ供給可能な電流値」の値を用い V_{DDI} = V_{SS} = 59 mA/ 本

- 必要電源本数 (内部電源 / 外部電源 / V_{SS}): N_i/N_e/N_s

DC 内部最大電源電流 Max 値: I_{imax}, DC 外部最大電源電流 Max 値: I_{emax}

N_i = I_{imax}/59mA, N_e = I_{emax}/59mA, N_s = I_{imax}/59mA + I_{emax}/59mA

<注意事項> 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は, 半導体デバイスを破壊する可能性があります。したがって, 定格を一項目でも超えることのないようご注意ください。

CS86 シリーズ

■ 推奨動作条件

・単一電源 ($V_{DD} = 1.8\text{ V} \pm 0.15\text{ V}$)

($V_{SS} = 0\text{ V}$)

項目	記号	規格値			単位
		最小	標準	最大	
電源電圧	V_{DD}	1.65	1.8	1.95	V
“H” レベル入力電圧	V_{IH}	$V_{DD} \times 0.65$	—	$V_{DD} + 0.3$	V
“L” レベル入力電圧	V_{IL}	- 0.3	—	$V_{DD} \times 0.35$	V
動作接合温度	T_j	- 40	—	+ 125	°C

・二電源 ($V_{DDE} = 3.3\text{ V} \pm 0.3\text{ V}$, $V_{DDI} = 1.8\text{ V} \pm 0.15\text{ V}$ / $V_{DDI} = 1.5\text{ V} \pm 0.1\text{ V}$ / $V_{DDI} = 1.1\text{ V} \pm 0.1\text{ V}$ *)

($V_{SS} = 0\text{ V}$)

項目	記号	規格値			単位	
		最小	標準	最大		
電源電圧	V_{DDE}	3.0	3.3	3.6	V	
	V_{DDI}	1.65	1.8	1.95		
		1.4	1.5	1.6		
		1.0	1.1	1.2		
“H” レベル入力電圧	V_{IH}	1.8 V CMOS	$V_{DDI} \times 0.65$	—	$V_{DDI} + 0.3$	V
		3.3 V CMOS	2.0	—	$V_{DDE} + 0.3$	
“L” レベル入力電圧	V_{IL}	1.8 V CMOS	- 0.3	—	$V_{DDI} \times 0.35$	V
		3.3 V CMOS	- 0.3	—	+ 0.8	
動作接合温度	T_j	- 40	—	+ 125	°C	

* : $V_{DDI} = 1.1\text{ V} \pm 0.1\text{ V}$ は準備中

・二電源 ($V_{DDE} = 2.5\text{ V} \pm 0.2\text{ V}$, $V_{DDI} = 1.8\text{ V} \pm 0.15\text{ V}$ / $V_{DDI} = 1.5\text{ V} \pm 0.1\text{ V}$ / $V_{DDI} = 1.1\text{ V} \pm 0.1\text{ V}$ *)

($V_{SS} = 0\text{ V}$)

項目	記号	規格値			単位	
		最小	標準	最大		
電源電圧	V_{DDE}	2.3	2.5	2.7	V	
	V_{DDI}	1.65	1.8	1.95		
		1.4	1.5	1.6		
		1.0	1.1	1.2		
“H” レベル入力電圧	V_{IH}	1.8 V CMOS	$V_{DDI} \times 0.65$	—	$V_{DDI} + 0.3$	V
		2.5 V CMOS	1.7	—	$V_{DDE} + 0.3$	
“L” レベル入力電圧	V_{IL}	1.8 V CMOS	- 0.3	—	$V_{DDI} \times 0.35$	V
		2.5 V CMOS	- 0.3	—	0.7	
動作接合温度	T_j	- 40	—	+ 125	°C	

* : $V_{DDI} = 1.1\text{ V} \pm 0.1\text{ V}$ は準備中

<注意事項> 推奨動作条件は、半導体デバイスの正常な動作を保证する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

■ 電気的特性

1. 直流特性

・ 単一電源 : $V_{DD} = 1.8 \text{ V}$ 標準規格

($V_{DD} = 1.8 \text{ V} \pm 0.15 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_j = -40 \text{ }^\circ\text{C} \sim +125 \text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			最小	標準	最大	
“H” レベル出力電圧	V_{OH}	$I_{OH} = -100 \mu\text{A}$	$V_{DD} - 0.2$	—	V_{DD}	V
“L” レベル出力電圧	V_{OL}	$I_{OL} = 100 \mu\text{A}$	0	—	0.2	V
“H” レベル出力 V-I 特性	—	1.8 V 系 $V_{DD} = 1.8 \text{ V} \pm 0.15 \text{ V}$	*			—
“L” レベル出力 V-I 特性	—	1.8 V 系 $V_{DD} = 1.8 \text{ V} \pm 0.15 \text{ V}$	*			—
入力リーク電流	I_L	—	—	—	± 5	μA
プルアップ/ プルダウン抵抗	R_P	プルアップ $V_{IL} = 0$, プルダウン $V_{IH} = V_{DD}$	8	18	40	k Ω

* : 「■V-I 特性 (1) 1.8 V 系」を参照してください。

・ 二電源 : $V_{DDE} = 3.3 \text{ V}$, $V_{DDI} = 1.8 \text{ V}/1.5 \text{ V}/1.1 \text{ V}$

($V_{DDE} = 3.3 \text{ V} \pm 0.3 \text{ V}$, $V_{DDI} = 1.8 \text{ V} \pm 0.15 \text{ V}$, $V_{DDI} = 1.5 \text{ V} \pm 0.1 \text{ V}$, $V_{DDI} = 1.1 \text{ V} \pm 0.1 \text{ V}$,
 $V_{SS} = 0 \text{ V}$, $T_j = -40 \text{ }^\circ\text{C} \sim +125 \text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			最小	標準	最大	
“H” レベル出力電圧	V_{OH4}	3.3 V 系出力 $I_{OH} = -100 \mu\text{A}$	$V_{DDE} - 0.2$	—	V_{DDE}	V
	V_{OH2}	1.8 V 系出力 $I_{OH} = -100 \mu\text{A}$	$V_{DDI} - 0.2$	—	V_{DDI}	
“L” レベル出力電圧	V_{OL4}	3.3 V 系出力 $I_{OL} = 100 \mu\text{A}$	0	—	0.2	V
	V_{OL2}	1.8 V 系出力 $I_{OL} = 100 \mu\text{A}$	0	—	0.2	
“H” レベル出力 V-I 特性	—	3.3 V 系 $V_{DDE} = 3.3 \text{ V} \pm 0.3 \text{ V}$	*1			—
		1.8 V 系 $V_{DDI} = 1.8 \text{ V} \pm 0.15 \text{ V}$	*2			
“L” レベル出力 V-I 特性	—	3.3 V 系 $V_{DDE} = 3.3 \text{ V} \pm 0.3 \text{ V}$	*1			—
		1.8 V 系 $V_{DDI} = 1.8 \text{ V} \pm 0.15 \text{ V}$	*2			
入力リーク電流	I_L	—	—	—	± 5	μA
プルアップ/ プルダウン抵抗	R_P	3.3 V 系 プルアップ $V_{IL} = 0$, プルダウン $V_{IH} = V_{DDE}$	10	33	80	k Ω
		1.8 V 系 プルアップ $V_{IL} = 0$, プルダウン $V_{IH} = V_{DDI}$	8	18	40	

* 1 : 「■V-I 特性 (2) 3.3 V 系」を参照してください。

* 2 : 「■V-I 特性 (1) 1.8 V 系」を参照してください。

CS86 シリーズ

- ・二電源：V_{DDE} = 2.5 V, V_{DDI} = 1.8 V/1.5 V/1.1 V
 (V_{DDE} = 2.5 V ± 0.2 V, V_{DDI} = 1.8 V ± 0.15 V/V_{DDI} = 1.5 V ± 0.1 V/V_{DDI} = 1.1 V ± 0.1 V,
 V_{SS} = 0 V, T_j = - 40 °C ~ + 125 °C)

項目	記号	条件	規格値			単位
			最小	標準	最大	
“H” レベル出力電圧	V _{OH3}	2.5 V 系出力 I _{OH} = - 100 μA	V _{DDE} - 0.2	—	V _{DDE}	V
	V _{OH2}	1.8 V 系出力 I _{OH} = - 100 μA	V _{DDI} - 0.2	—	V _{DDI}	
“L” レベル出力電圧	V _{OL3}	2.5 V 系出力 I _{OL} = 100 μA	0	—	0.2	V
	V _{OL2}	1.8 V 系出力 I _{OL} = 100 μA	0	—	0.2	
“H” レベル出力 V-I 特性	—	2.5 V 系 V _{DDE} = 2.5 V ± 0.2 V	—			—
		1.8 V 系 V _{DDI} = 1.8 V ± 0.15 V	*			
“L” レベル出力 V-I 特性	—	2.5 V 系 V _{DDE} = 2.5 V ± 0.2 V	—			—
		1.8 V 系 V _{DDI} = 1.8 V ± 0.15 V	*			
入力リーク電流	I _L	—	—	—	± 5	μA
プルアップ/ プルダウン抵抗	R _P	2.5 V 系 プルアップ V _{IL} = 0, プルダウン V _{IH} = V _{DDE}	—	25	—	kΩ
		1.8 V 系 プルアップ V _{IL} = 0, プルダウン V _{IH} = V _{DDI}	8	18	40	

* : 「■V-I 特性 (1) 1.8 V 系」を参照してください。

2. 交流特性

(V_{SS} = 0 V, T_j = - 40 °C ~ + 125 °C (標準規格))

項目	記号	規格値			単位
		最小	標準	最大	
遅延時間	t _{pd} * ¹	typ* ² × t _{min} * ³	typ* ² × t _{typ} * ³	typ* ² × t _{max} * ³	ns

* 1 : 遅延時間 = 伝播遅延時間, イネーブル時間, ディセーブル時間

* 2 : typ はセル特性表から計算されます。

* 3 : 測定条件

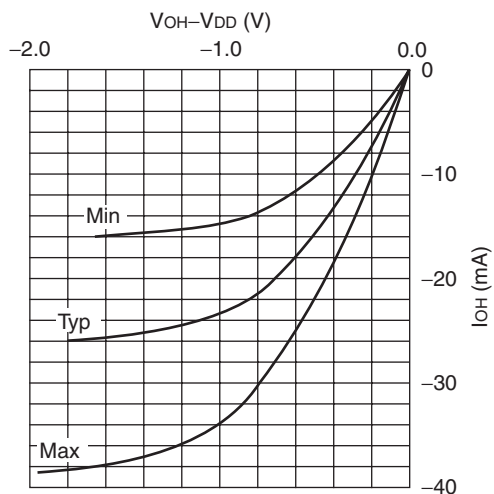
測定条件	t _{min}	t _{typ}	t _{max}
V _{DD} = 1.8 V ± 0.15 V, V _{SS} = 0 V, T _j = - 40 °C ~ + 125 °C	0.62	1.00	1.88
V _{DD} = 1.5 V ± 0.10 V, V _{SS} = 0 V, T _j = - 40 °C ~ + 125 °C	0.76	1.25	2.42
V _{DD} = 1.1 V ± 0.1 V, V _{SS} = 0 V, T _j = - 40 °C ~ + 125 °C	1.08	2.14	6.22

(注意事項) 交流特性は, チップの接合温度や電圧条件, プロセス変動により異なります。

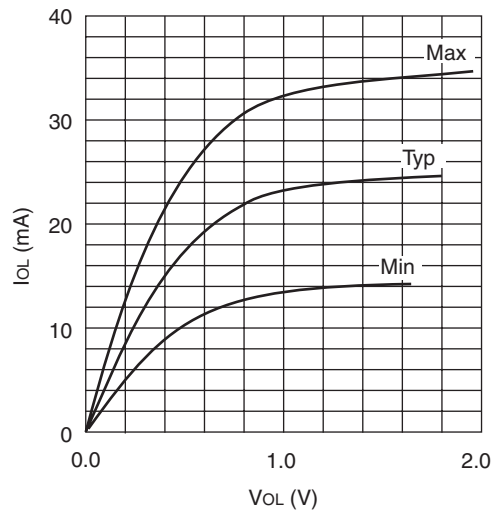
■ V-I特性

(1) 1.8 V系

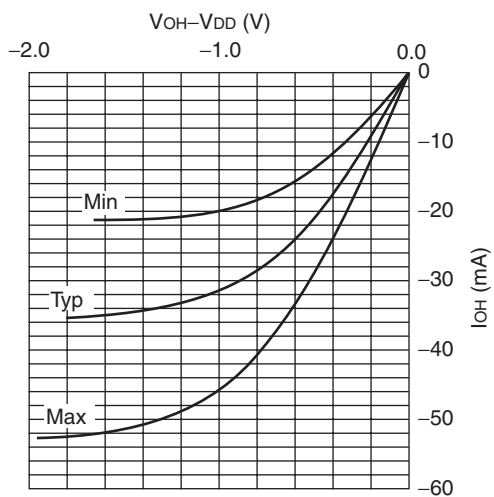
条件 Min : Process = Slow, $T_j = +125^\circ\text{C}$, $V_{DD} = 1.65\text{ V}$
 Typ : Process = Typical, $T_j = +25^\circ\text{C}$, $V_{DD} = 1.80\text{ V}$
 Max : Process = Fast, $T_j = -40^\circ\text{C}$, $V_{DD} = 1.95\text{ V}$



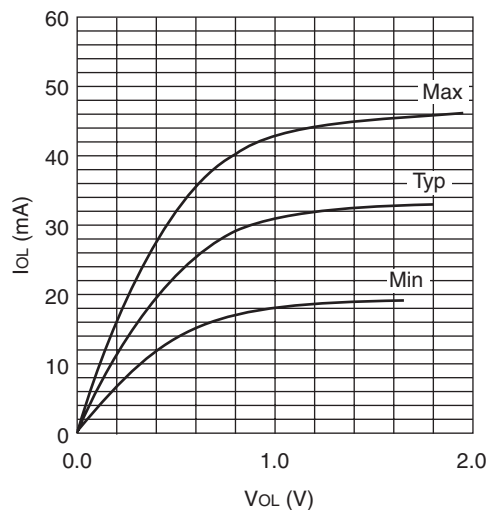
1.8 V CMOS “H” レベル出力
(L, M タイプ)



1.8 V CMOS “L” レベル出力
(L, M タイプ)



1.8 V CMOS “H” レベル出力
(H, V タイプ)

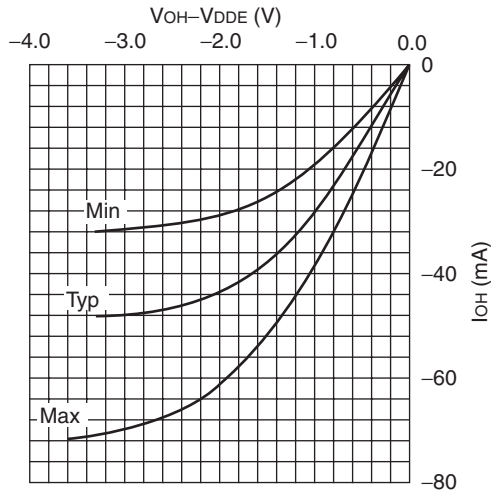


1.8 V CMOS “L” レベル出力
(H, V タイプ)

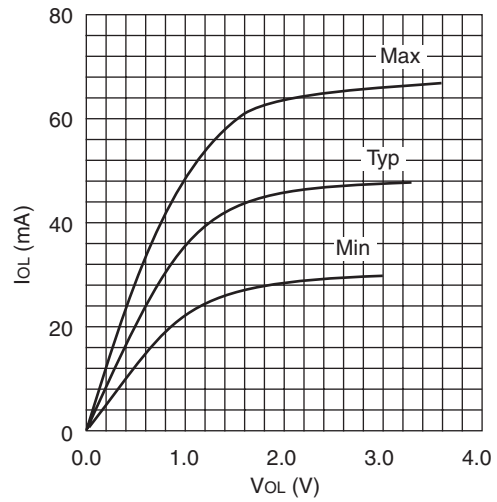
CS86 シリーズ

(2) 3.3 V 系

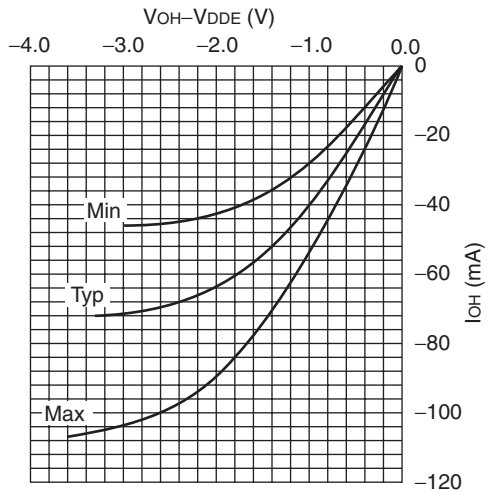
条件 Min : Process = Slow, $T_j = +125^\circ\text{C}$, $V_{DDE} = 3.0\text{ V}$
 Typ : Process = Typical, $T_j = +25^\circ\text{C}$, $V_{DDE} = 3.3\text{ V}$
 Max : Process = Fast, $T_j = -40^\circ\text{C}$, $V_{DDE} = 3.6\text{ V}$



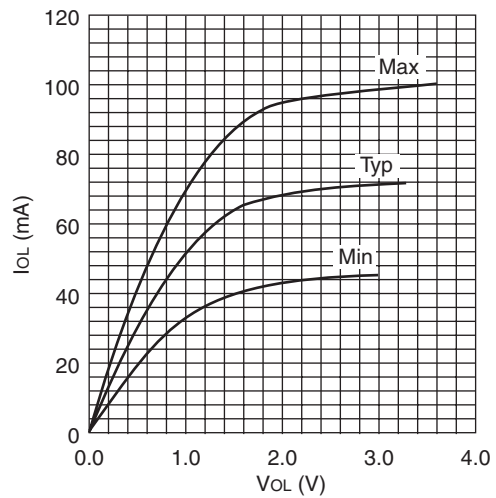
3.3 V CMOS “H” レベル出力
(L, M タイプ)



3.3 V CMOS “L” レベル出力
(L, M タイプ)



3.3 V CMOS “H” レベル出力
(H, V タイプ)



3.3 V CMOS “L” レベル出力
(H, V タイプ)

■ 入出力端子容量

($T_j = +25\text{ }^\circ\text{C}$, $V_{DD} = V_I = 0\text{ V}$, $f = 1\text{ MHz}$)

項目	記号	規格値	単位
入力端子	—	最大 16	pF
出力端子	L, M, H, V type	最大 16	pF
入出力端子	L, M, H, V type	最大 16	pF

(注意事項) 容量値はパッケージや端子位置により異なります。

■ 設計手法

スタンダードセル統合設計環境 (Reference Design Flow) には以下の機能があり、大規模で高品質なシステム LSI の短期開発が可能です。

・Physical Prototyping

設計の初期段階で従来に比べ高精度な見積もりを実現します。これによりチップサイズ、配線性、タイミングなどを早期に確認でき、予定どおりの開発期間内で ASIC 設計の収束を実現します。

・Low Power

ラッチなど順序セルを内蔵したハードマクロ型の Gated Clock バッファの使用を可能にする Low Power Synthesis ツールをサポートします。ハードマクロ型の Gated Clock バッファ使用により、クロックラインの低消費電力化を実現します。また、確実な動作、スクリプトの煩雑化の軽減と処理の短 TAT を実現します。

・タイミング収束手法

Physical Synthesis Tool を使用して、配置ベースの最適化を行います。これによりディープ・サブミクロンでは特に問題となるレイアウト後のタイミング問題の発生を未然に防ぎます。

また動作モードの多い先端 SoC 向けに複数のタイミング制約を同時に考慮したホールドタイムエラー修正手法を導入しています。これによりネットリスト作成完了から試作開始まで短期間での開発が実現できます。

・階層設計

ディープ・サブミクロンでの回路大規模化に対応するため、論理設計から物理設計まで一貫したトップダウン階層設計を提供します。これにより複数ブロックの論理・物理設計が同時に行えるうえ、短期間でのタイミング収束が可能となり、回路の大規模化にも十分耐えうる設計環境を提供します。

・Support for Signal Integrity

内部消費電力、電源ドロップ量をもとに電源配線を見積もることでレイアウト後半で手戻りのない電源設計を実現します。

また信号線間の容量カップリングによる信号ノイズや遅延ペナルティ、局所的同時スイッチングによる電圧降下などの検証システムを用意しています。

CS86 シリーズ

■ パッケージ

タイプ	ピン数	材質
QFP	176, 208, 240	プラスチック
LQFP	144, 176, 208, 256	プラスチック
HQFP	208, 240, 256, 304	プラスチック
PBGA	256, 352, 420	プラスチック
FBGA	112, 144, 176, 192, 224, 240, 272, 288, 304, 368	プラスチック
FLGA	144, 176, 208, 224, 288	プラスチック

(注意事項) 回路構成により、使用可能なパッケージが異なりますので、営業部門までお問い合わせください。

MEMO

富士通マイクロエレクトロニクス株式会社

〒163-0722 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fm/>

お問い合わせ先

富士通エレクトロニクス株式会社

〒163-0731 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fei/>

電子デバイス製品に関するお問い合わせは、こちらまで、

 **0120-198-610**

受付時間：平日 9 時～17 時（土・日・祝日、年末年始を除きます）
携帯電話・PHS からもお問い合わせができます。
電話番号はお間違えないよう、お確かめのうえおかけください。

本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。

本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。従いまして、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。

本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的な用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。

本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。

本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。