

セミカスタム

CMOS

スタンダードセル

CS101 シリーズ

■ 概要

90 nm CMOS スタンダードセル (CS101 シリーズ) は、低消費電力と高速化のご要求に対応する CMOS ASIC です。

トランジスタのリーク電流は、業界最小レベルを実現し、アプリケーションに応じて 3 種類の閾値を持つコアトランジスタを混載できます。設計基準は業界標準に準拠しており、様々な IP マクロを活用できます。

本シリーズは、最大 9100 万ゲートと従来品の約 2 倍の高集積化を図ると共に、1 ゲート当たりの消費電力は 2.7 nW と約 1/2 に低減しています。また、高速ライブラリではゲート遅延時間 12 ps と約 1.3 倍の高速化を達成しております。

■ 特長

- ・ テクノロジ : 90 nm Si ゲート CMOS
6 層 ~ 10 層メタル配線、全層に Low-K (低誘電率) 層間絶縁膜材料を採用
同一チップ上に 3 種類のコアトランジスタ (低リーク、標準、高速) 混載が可能
設計基準は業界標準プロセスに準拠
- ・ 電源電圧 : + 0.9 V ~ + 1.3 V (ワイドレンジをサポート)
- ・ 接合温度範囲 : - 40 °C ~ + 125 °C (標準仕様)
- ・ ゲート遅延時間 : tpd = 12 ps (1.2 V, Inverter, F/O = 1)
- ・ ゲート消費電力 : Pd = 2.7 nW/ゲート (1.2 V, 2NAND, F/O = 1, 動作率 0.5),
1.8 nW/ゲート (1.0 V, 2NAND, F/O = 1, 動作率 0.5)
- ・ 高集積: 最大 9100 万ゲート
- ・ ワイヤボンディングパッドを I/O マクロ領域内に形成し、チップサイズの縮小を実現
- ・ 2 種類のライブラリセットをサポート (パフォーマンス重視 (1.2 V), 低消費電力対応 (0.9 V ~ 1.3 V))
- ・ 低消費電力設計 (多電源設計およびパワーゲーティング) をサポート
- ・ 業界標準デザインルールを採用により、市場流通マクロの有効活用が可能
- ・ コンパイルドセル (RAM, ROM ほか)
- ・ 超高速 (~ 10 Gbps) 伝送用インタフェースマクロをサポート
- ・ 特殊インタフェース (LVDS, SSTL2, ほか)
- ・ 業界標準ライブラリ (.LIB) の対応とサポート
- ・ 業界標準ツールの採用とアプリケーションに応じた最適なツールをサポート
- ・ フィジカルプロトタイプングツール導入による短期開発
- ・ フィジカルシミュレーションツール導入によるワンパスデザインの実現
- ・ 大規模回路対応の階層設計環境
- ・ Signal Integrity, EMI ノイズ低減対応サポート
- ・ スタティックタイミングサインオフをサポート
- ・ 最適なパッケージラインアップ: FBGA, FC-BGA, PBGA, TEBGA

(注意事項) 開発中のものを含まず。

CS101 シリーズ

■ マクロ・ライブラリ (準備中含む)

1. 論理セル (約 400 種類)

閾値の異なる 3 種類のコアトランジスタを採用したユニットセルを準備

- Adder
- AND
- AND-OR
- AND-OR Inverter
- Buffer
- Clock Buffer
- Decoder
- Delay Buffer
- ENOR
- EOR
- Inverter
- Latch
- NAND
- NOR
- OR
- OR-AND
- OR-AND Inverter
- SCAN Flip flop
- Selector
- その他

2. IP マクロ

設計基準は、業界標準である STARC (株式会社 半導体理工学研究センター) 推奨のデザインルールを採用しており、市場に流通する各種 IP マクロを利用することができます。

CPU/DSP	ARM コア (ARM7TDMI-S™/ARM946E-S™/ARM1176JZF-S™)*, FR71E コア, Peripherals IP
ミックスドシグナルマクロ	ADC, DAC, OPAMP, ほか
コンパイルドマクロ	RAM (1 Port, 2 Port), ROM, 積和器, ほか
PLL	アナログ PLL

* : ARM, ARM7TDMI-S, ARM926EJ-S, ARM946E-S, ARM1176JZF-S は ARM 社の商標または登録商標です。

3. 特殊 I/O インタフェースマクロ

インタフェース・マクロ (PHY)	LVDS, SSTL2, SSTL18, PCI, PC
インタフェース・マクロ (コントローラ)	USB2.0 Device/host, Serial ATA, PCI-Express, DDR2, HDMI, ほか

■ コンパイルドセル

コンパイルドセルとは、ビット・ワードなどの構成を指定することにより自動生成されるマクロセルのことです。
CS101シリーズでは以下の種類があります(各マクロともに、カラムタイプによりワード・ビットの範囲が異なります)。

1. クロック同期式シングルポート RAM (1 アドレス:1 リードライト)

カラムタイプ	メモリ容量 (bit)	ワード範囲 (word)	ビット範囲 (bit)
4	16 ~ 144 K	16 ~ 1 K	1 ~ 144
8	32 ~ 576 K	32 ~ 8 K	1 ~ 72
16	64 ~ 576 K	64 ~ 16 K	1 ~ 36

2. クロック同期式デュアルポート RAM (2 アドレス:2 リードライト)

カラムタイプ	メモリ容量 (bit)	ワード範囲 (word)	ビット範囲 (bit)
4	16 ~ 144 K	8 ~ 1 K	2 ~ 144
16	64 ~ 144 K	32 ~ 4 K	2 ~ 36

3. クロック同期式 ROM

カラムタイプ	メモリ容量 (bit)	ワード範囲 (word)	ビット範囲 (bit)
16	256 ~ 4 M	128 ~ 16 K	2 ~ 256
64	1 K ~ 4 M	512 ~ 64 K	2 ~ 64

4. クロック同期式レジスタファイル (2 アドレス:1 リード, 1 ライト)

カラムタイプ	メモリ容量 (bit)	ワード範囲 (word)	ビット範囲 (bit)
1	8 ~ 18 K	4 ~ 128	2 ~ 144

5. クロック同期式レジスタファイル (4 アドレス:2 リード, 2 ライト)

カラムタイプ	メモリ容量 (bit)	ワード範囲 (word)	ビット範囲 (bit)
1	8 ~ 18 K	4 ~ 128	2 ~ 144

■ 大容量メモリ

クロック同期式シングルポート RAM (1 アドレス:1 リードライト)

カラムタイプ	メモリ容量 (bit)	ワード範囲 (word)	ビット範囲 (bit)
16	64 K ~ 9 M	8 K ~ 64 K	8 ~ 144

CS101 シリーズ

■ 絶対最大定格

項目	記号	適用	定格値		単位
			最小	最大	
電源電圧	V _{DD}	V _{DDI} (内部)	- 0.5	+ 1.8	V
		V _{DDE} (外部 1.8 V 系)	- 0.5	+ 2.5	V
		V _{DDE} (外部 2.5 V 系)	- 0.5	+ 3.6	V
		V _{DDE} (外部 3.3 V 系)	- 0.5	+ 4.6	V
入力電圧* ¹	V _I	1.8 V 系	- 0.5	V _{DDE} + 0.5 (2.5)	V
		2.5 V 系	- 0.5	V _{DDE} + 0.5 (3.6)	V
		3.3 V 系	- 0.5	V _{DDE} + 0.5 (4.6)	V
出力電圧	V _O	1.8 V 系	- 0.5	V _{DDE} + 0.5 (2.5)	V
		2.5 V 系	- 0.5	V _{DDE} + 0.5 (3.6)	V
		3.3 V 系	- 0.5	V _{DDE} + 0.5 (4.6)	V
保存周囲温度	T _{STG}	プラスチックパッケージ	- 55	+ 125	°C
動作接合温度	T _J	—	- 40	+ 125	°C
電源端子電流* ²	I _D	V _{DDI} , V _{DDE} , V _{SS} 端子 1 本あたり	—	*4	mA
出力電流* ³	I _O	—	—	*4	mA

* 1 : マクロによっては、別途制限値が決められています。

* 2 : 定常的に流せる最大電源電流値です。

* 3 : 定常的に流せる最大出力電流値です。

* 4 : 営業担当部門までお問い合わせください。

(注意事項) V_{SS} = 0 V を基準にしています。

<注意事項> 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

なお、この範囲は正常な論理動作を保証するものではありません。

CS101 シリーズ

■ 推奨動作条件

・二電源 ($V_{DDE} = 1.8 \text{ V} \pm 0.15 \text{ V}$, $V_{DDI} = 1.0 \text{ V} \pm 0.1 \text{ V}/V_{DDI} = 1.2 \text{ V} \pm 0.1 \text{ V}$)

($V_{SS} = 0 \text{ V}$)

項目		記号	規格値			単位
			最小	標準	最大	
電源電圧		V_{DDE}	1.65	1.8	1.95	V
		V_{DDI}	0.9	1.0	1.1	V
1.1	1.2		1.3			
“H” レベル入力電圧	1.8 V CMOS ノーマル	V_{IH}	$V_{DDE} \times 0.65$	—	$V_{DDE} + 0.3$	V
	1.8 V CMOS シュミット		$V_{DDE} \times 0.70$	—	$V_{DDE} + 0.3$	V
“L” レベル入力電圧	1.8 V CMOS ノーマル	V_{IL}	- 0.3	—	$V_{DDE} \times 0.35$	V
	1.8 V CMOS シュミット		- 0.3	—	$V_{DDE} \times 0.30$	V
シュミットヒステリシス電圧		V_H	$V_{DDE} \times 0.10$	—	$V_{DDE} \times 0.40$	V
動作接合温度		T_J	- 40	—	+ 125	°C

・二電源 ($V_{DDE} = 2.5 \text{ V} \pm 0.2 \text{ V}$, $V_{DDI} = 1.0 \text{ V} \pm 0.1 \text{ V}/V_{DDI} = 1.2 \text{ V} \pm 0.1 \text{ V}$)

($V_{SS} = 0 \text{ V}$)

項目		記号	規格値			単位
			最小	標準	最大	
電源電圧		V_{DDE}	2.3	2.5	2.7	V
		V_{DDI}	0.9	1.0	1.1	V
1.1	1.2		1.3			
“H” レベル入力電圧	2.5 V CMOS ノーマル	V_{IH}	1.7	—	$V_{DDE} + 0.3$	V
	2.5 V CMOS シュミット		1.7	—	$V_{DDE} + 0.3$	V
“L” レベル入力電圧	2.5 V CMOS ノーマル	V_{IL}	- 0.3	—	+ 0.7	V
	2.5 V CMOS シュミット		- 0.3	—	+ 0.7	V
シュミットヒステリシス電圧		V_H	0.2	—	1.0	V
動作接合温度		T_J	- 40	—	+ 125	°C

・二電源 ($V_{DDE} = 3.3 \text{ V} \pm 0.3 \text{ V}$, $V_{DDI} = 1.0 \text{ V} \pm 0.1 \text{ V}/V_{DDI} = 1.2 \text{ V} \pm 0.1 \text{ V}$)

($V_{SS} = 0 \text{ V}$)

項目		記号	規格値			単位
			最小	標準	最大	
電源電圧		V_{DDE}	3.0	3.3	3.6	V
		V_{DDI}	0.9	1.0	1.1	V
1.1	1.2		1.3			
“H” レベル入力電圧	3.3 V CMOS ノーマル	V_{IH}	2.0	—	$V_{DDE} + 0.3$	V
	3.3 V CMOS シュミット		2.1	—	$V_{DDE} + 0.3$	V
“L” レベル入力電圧	3.3 V CMOS ノーマル	V_{IL}	- 0.3	—	+ 0.8	V
	3.3 V CMOS シュミット		- 0.3	—	+ 0.7	V
シュミットヒステリシス電圧		V_H	0.2	—	1.4	V
動作接合温度		T_J	- 40	—	+ 125	°C

< 注意事項 > 推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

CS101 シリーズ

■ 電気的特性

・二電源： $V_{DDE} = 1.8\text{ V}$, $V_{DDI} = 1.0\text{ V}/V_{DDI} = 1.2\text{ V}$

($V_{DDE} = 1.8\text{ V} \pm 0.15\text{ V}$, $V_{DDI} = 1.0\text{ V} \pm 0.1\text{ V}/V_{DDI} = 1.2\text{ V} \pm 0.1\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			最小	標準	最大	
“H” レベル出力電圧	V_{OH}	1.8 V 系出力 $I_{OH} = -100\text{ }\mu\text{A}$	$V_{DDE} - 0.2$	—	V_{DDE}	V
“L” レベル出力電圧	V_{OL}	1.8 V 系出力 $I_{OL} = 100\text{ }\mu\text{A}$	0	—	0.2	V
入力リーク電流*	I_L	—	- 10	—	+ 10	μA
プルアップ/ プルダウン抵抗	R_P	1.8 V 系 プルアップ $V_{IL} = 0\text{ V}$ のとき プルダウン $V_{IH} = V_{DDE}$ のとき	40	80	155	k Ω

*：入力リーク電流は、プルアップ/プルダウン抵抗付き入力バッファを使用した場合には、上記の値を超えることがあります。

・二電源： $V_{DDE} = 2.5\text{ V}$, $V_{DDI} = 1.0\text{ V}/V_{DDI} = 1.2\text{ V}$

($V_{DDE} = 2.5\text{ V} \pm 0.2\text{ V}$, $V_{DDI} = 1.0\text{ V} \pm 0.1\text{ V}/V_{DDI} = 1.2\text{ V} \pm 0.1\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			最小	標準	最大	
“H” レベル出力電圧	V_{OH}	2.5 V 系出力 $I_{OH} = -100\text{ }\mu\text{A}$	$V_{DDE} - 0.2$	—	V_{DDE}	V
“L” レベル出力電圧	V_{OL}	2.5 V 系出力 $I_{OL} = 100\text{ }\mu\text{A}$	0	—	0.2	V
入力リーク電流*	I_L	—	- 10	—	+ 10	μA
プルアップ/ プルダウン抵抗	R_P	2.5 V 系 プルアップ $V_{IL} = 0\text{ V}$ のとき プルダウン $V_{IH} = V_{DDE}$ のとき	25	50	85	k Ω

*：入力リーク電流は、プルアップ/プルダウン抵抗付き入力バッファを使用した場合には、上記の値を超えることがあります。

・二電源： $V_{DDE} = 3.3\text{ V}$, $V_{DDI} = 1.0\text{ V}/V_{DDI} = 1.2\text{ V}$

($V_{DDE} = 3.3\text{ V} \pm 0.3\text{ V}$, $V_{DDI} = 1.0\text{ V} \pm 0.1\text{ V}/V_{DDI} = 1.2\text{ V} \pm 0.1\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			最小	標準	最大	
“H” レベル出力電圧	V_{OH}	3.3 V 系出力 $I_{OH} = -100\text{ }\mu\text{A}$	$V_{DDE} - 0.2$	—	V_{DDE}	V
“L” レベル出力電圧	V_{OL}	3.3 V 系出力 $I_{OL} = 100\text{ }\mu\text{A}$	0	—	0.2	V
入力リーク電流*	I_L	—	- 10	—	+ 10	μA
プルアップ/ プルダウン抵抗	R_P	3.3 V 系 プルアップ $V_{IL} = 0\text{ V}$ のとき プルダウン $V_{IH} = V_{DDE}$ のとき	15	33	70	k Ω

*：入力リーク電流は、プルアップ/プルダウン抵抗付き入力バッファを使用した場合には、上記の値を超えることがあります。

■ 交流特性

項目	記号	規格値			単位
		最小	標準	最大	
遅延時間	tpd ^{*1}	typ ^{*2} × tmin ^{*3}	typ ^{*2} × ttyp ^{*3}	typ ^{*2} × tmax ^{*3}	ns

* 1 : 遅延時間 = 伝播遅延時間, イネーブル時間, ディセーブル時間

* 2 : typ はセル特性表から計算されます。

* 3 : 測定条件

測定条件	tmin	ttyp	tmax
V _{DD} = 1.2 V ± 0.1 V, V _{SS} = 0 V, T _j = - 40 °C ~ + 125 °C	0.62	1.00	1.57

(注意事項) 参考値。セルにより異なります。

■ 入出力端子容量

項目	記号	規格値	単位
入力端子	C _{IN}	最大 16	pF
出力端子	C _{OUT}	最大 16	pF
入出力端子	C _{I/O}	最大 16	pF

(注意事項) 容量値はパッケージや端子位置により異なります。

■ 設計手法

スタンダードセル統合設計環境 (Reference Design Flow) には以下の機能があり, 大規模で高品質なシステム LSI の短期開発が可能です。なお, 一部の機能は準備中ですので, 営業部門までご確認をお願いします。

- ・Physical Prototyping による物理設計の早い段階での信頼性の高いデザイン見積もり機能
- ・Physical Synthesis Tool によるタイミング最適化を駆使したレイアウト合成機能
- ・電源電圧降下, 信号ノイズ, 遅延ペナルティ, クロストークを考慮した高精度な設計環境
- ・ノイズを考慮した I/O 設計環境 (電源設計, I/O 配置・選択, パッケージ選択)

■ パッケージ

従来シリーズで提供中のパッケージも利用できますので, 既開発品種の置換えがスムーズにできます。

なお, 供給時期につきましては, 営業部門までご確認をお願いします。

FBGA パッケージ : 最大 424 ピン

FC-BGA パッケージ : 最大 2116 ピン

PBGA パッケージ : 最大 420 ピン

TEBGA パッケージ : 最大 900 ピン

(予定を含む)

富士通マイクロエレクトロニクス株式会社

〒163-0722 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fml/>

お問い合わせ先

富士通エレクトロニクス株式会社

〒163-0731 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fei/>

電子デバイス製品に関するお問い合わせは、こちらまで、

 **0120-198-610**

受付時間：平日 9 時～17 時（土・日・祝日、年末年始を除きます）
携帯電話・PHS からもお問い合わせができます。
※電話番号はお間違えないよう、お確かめのうえおかけください。

本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。

本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。従いまして、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。

本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的な用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。

本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。

本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。