

セミカスタム

CMOS

スタンダードセル

CS201 シリーズ

■ 概 要

65 nm CMOS スタンダードセル (CS201 シリーズ) は、低消費電力化・高集積化のご要求に対応する CMOS ASIC です。トランジスタのリーク電流は、業界最小レベルを実現しており、携帯端末からデジタル AV までのアプリケーションに応じて 3 種類の閾値を持つコアトランジスタを混載できます。

本シリーズは、従来品の 2 倍の高集積化を図るとともに消費電力も低減しております。

■ 特 長

- ・ テクノロジ : 65 nm Si ゲート CMOS
6 ~ 12 層メタル配線, Ultra Low-K (超低誘電率) 層間膜材料を採用
同一チップ上に 3 種類のコアトランジスタ (低リーク, 標準, 高速) 混載が可能
- ・ 電源電圧 : + 0.9 V ~ + 1.3 V ワイドレンジをサポート
- ・ 接合温度範囲 : - 40 °C ~ + 125 °C (標準仕様)
- ・ ゲート遅延時間 : 11 ps (1.2 V, Inverter, F/O = 1)
- ・ ゲート消費電力 : 1.77 nW/gate (1.2 V, 動作率 0.5, 1 MHz 動作時)
- ・ ワイヤボンディングパッドを I/O マクロ領域内に形成し、チップサイズの縮小を実現
- ・ 豊富なセルセット (低消費電力版から高速版) をサポート
- ・ コンパイルドセル (RAM, ROM ほか)
- ・ 大容量メモリ “1T-SRAM-Q[®]”^{*1} をサポート
最大容量 128Mbit のエンベデッドメモリです。
- ・ 低消費電力化技術 “CoolAdjustTM”^{*2} をサポート
- ・ 超高速 (~ 10 Gbps) 伝送用インタフェースマクロをサポート
- ・ 特殊インタフェース (LVDS, SSTL ほか)
- ・ フィジカルプロトタイピングツール導入による短期開発
- ・ フィジカルシミュレーションツール導入によるワンパスデザインの実現
- ・ 大規模回路対応の階層設計環境
- ・ Signal Integrity, EMI ノイズ低減対応サポート
- ・ スタティックタイミングサインオフをサポート
- ・ 統計的タイミング解析 (SSTA) の導入によりタイミング収束性を向上
- ・ DFM の導入による安定した製品供給とばらつき対策
- ・ 最適なパッケージラインアップ: FBGA, PBGA, TEBGA, FC-BGA

* 1 : MoSys 社の 1T-SRAM-Q[®] テクノロジを使用しております。

* 2 : “CoolAdjustTM” は当社の低消費電力化技術の総称です。

(注意事項) 準備中のものを含みます。

CS201 シリーズ

■ マクロ・ライブラリ (準備中含む)

1. 論理セル (約 400 種類)

閾値の異なる 3 種類のコアトランジスタを採用したライブラリセットを準備

- Adder
- AND
- AND-OR
- AND-OR Inverter
- Buffer
- Clock-Buffer
- Decoder
- Delay Buffer
- ENOR
- EOR
- Inverter
- Latch
- NAND
- NOR
- OR
- OR-AND
- OR-AND Inverter
- SCAN Flip flop
- Multiplexer
- その他

2. IP マクロ

本シリーズでは、以下のマクロを提供する予定です。

| | |
|--------------|---|
| CPU/DSP | ARM™* cores(ARM7/ARM9/ARM11),Peripherals IP |
| ミックスドシグナルマクロ | ADC, DAC, OPAMP ほか |
| コンパイルドマクロ | SRAM (1 Port, 2 Port), ROM, 積和器ほか |
| 大容量メモリ | 1T-SRAM-Q® |
| PLL | アナログ PLL |

* : ARM はアーム株式会社の商標です。

3. 特殊 I/O・インタフェースマクロ

| | |
|-------------------------|--|
| インタフェース・マクロ | LVDS, SSTL2, SSTL18, PCI, I ² C |
| インタフェース・マクロ (コントローラ) | USB2.0 Device/host, Serial ATA, PCI-Express, DDR2, HDMI ほか |

■ コンパイルドセル

コンパイルドセルとは、ビット・ワードなどの構成を指定することにより自動生成されるマクロのことです。CS201 シリーズでは以下の種類があります（各マクロともに、カラムタイプによりワード・ビットの範囲が異なります）。

1. クロック同期式シングルポート RAM (1 アドレス : 1 リードライト)

| カラムタイプ | メモリ容量 (bit) | ワード範囲 (word) | ビット範囲 (bit) |
|--------|-------------|--------------|-------------|
| 2 | 16 ~ 160 K | 16 ~ 1 K | 1 ~ 160 |
| 4 | 32 ~ 640 K | 32 ~ 8 K | 1 ~ 80 |
| 8 | 64 ~ 640 K | 64 ~ 16 K | 1 ~ 40 |

2. クロック同期式デュアルポート RAM (2 アドレス : 2 リードライト)

| カラムタイプ | メモリ容量 (bit) | ワード範囲 (word) | ビット範囲 (bit) |
|--------|-------------|--------------|-------------|
| 4 | 64 ~ 72 K | 32 ~ 1 K | 2 ~ 72 |

3. クロック同期式 ROM

| カラムタイプ | メモリ容量 (bit) | ワード範囲 (word) | ビット範囲 (bit) |
|--------|-------------|--------------|-------------|
| 16 | 256 ~ 1 M | 128 ~ 8 K | 2 ~ 128 |
| 64 | 1 K ~ 1 M | 512 ~ 32 K | 2 ~ 32 |

4. クロック同期式レジスタファイル (2 アドレス : 1 リード, 1 ライト)

| カラムタイプ | メモリ容量 (bit) | ワード範囲 (word) | ビット範囲 (bit) |
|--------|-------------|--------------|-------------|
| 1 | 16 ~ 1152 | 8 | 2 ~ 144 |
| 1 | 32 ~ 18 K | 16 ~ 128 | 2 ~ 144 |

CS201 シリーズ

■ 絶対最大定格

| 項目 | 記号 | 定格値 | | 単位 | 備考 |
|-----------|------------------|-------|--------------------------------|----|----|
| | | 最小 | 最大 | | |
| 電源電圧 *1 | V _{DD} | - 0.5 | + 1.8 | V | *2 |
| | | - 0.5 | + 2.5 | | *3 |
| | | - 0.5 | + 3.6 | | *4 |
| | | - 0.5 | + 4.6 | | *5 |
| 入力電圧 *1 | V _I | - 0.5 | V _{DD} + 0.5 (2.5 V) | V | *3 |
| | | - 0.5 | V _{DD} + 0.5 (3.6 V) | | *4 |
| | | - 0.5 | V _{DD} + 0.5 (4.6 V) | | *5 |
| 出力電圧 *1 | V _O | - 0.5 | V _{DD} + 0.5 (2.5 V) | V | *3 |
| | | - 0.5 | V _{DD} + 0.5 (3.6 V) | | *4 |
| | | - 0.5 | V _{DD} + 0.5 (4.6 V) | | *5 |
| 保存周囲温度 | T _{STG} | - 55 | + 125 | °C | |
| 動作接合温度 | T _j | - 40 | + 125 | °C | |
| 出力電流 *6 | I _O | — | 16 | mA | |
| 電源端子電流 *7 | I _D | — | 40 | mA | |

* 1 : V_{SS} = 0 V

* 2 : 内部ゲート部分

* 3 : 二電源で 1.8V インタフェースを行うときの I/O 部分

* 4 : 二電源で 2.5V インタフェースを行うときの I/O 部分

* 5 : 二電源で 3.3V インタフェースを行うときの I/O 部分

* 6 : 出力電流は、チップの配線層数および使用する I/O セルの配線構造タイプにより異なります。詳細は営業部門までお問い合わせください。

* 7 : 電源端子電流は、チップフレームの種類により異なりますので、詳細は営業部門までお問い合わせください。

<注意事項> 絶対最大定格を超えるストレス（電圧、電流、温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

■ 推奨動作条件

・ 二電源

($V_{DDE} = 3.3 \text{ V} \pm 0.3 \text{ V}$, $V_{DDI} = 1.0 \text{ V} \pm 0.1 \text{ V}$ / $V_{DDI} = 1.2 \text{ V} \pm 0.1 \text{ V}$)

($V_{SS} = 0 \text{ V}$)

| 項目 | | 記号 | 規格値 | | | 単位 |
|---------------|------------------|-----------|-------|-----|-----------------|----|
| | | | 最小 | 標準 | 最大 | |
| 電源電圧 | | V_{DDE} | 3.0 | 3.3 | 3.6 | V |
| | | V_{DDI} | 0.9 | 1.0 | 1.1 | V |
| | | | 1.1 | 1.2 | 1.3 | V |
| “H” レベル入力電圧 | 3.3 V CMOS ノーマル | V_{IH} | 2.0 | — | $V_{DDE} + 0.3$ | V |
| | 3.3 V CMOS シュミット | | 2.1 | — | $V_{DDE} + 0.3$ | V |
| “L” レベル入力電圧 | 3.3 V CMOS ノーマル | V_{IL} | - 0.3 | — | + 0.8 | V |
| | 3.3 V CMOS シュミット | | - 0.3 | — | + 0.7 | V |
| シュミットヒステリシス電圧 | | V_H | 0.2 | — | 1.4 | V |
| 動作接合温度 | | T_j | - 40 | — | + 125 | °C |

<注意事項> 推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

(注意事項) LVCMOS 1.8 V, 2.5 V 版に関しては営業部門までご相談ください。

CS201 シリーズ

■ 電気的特性

・二電源

($V_{DDE} = 3.3\text{ V} \pm 0.3\text{ V}$, $V_{DDI} = 1.0\text{ V} \pm 0.1\text{ V}$ / $V_{DDI} = 1.2\text{ V} \pm 0.1\text{ V}$)

($V_{DDE} = 3.3\text{ V} \pm 0.3\text{ V}$, $V_{DDI} = 1.0\text{ V} \pm 0.1\text{ V}$ / $V_{DDI} = 1.2\text{ V} \pm 0.1\text{ V}$, $V_{SS} = 0\text{ V}$, $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$)

| 項目 | 記号 | 条件 | 規格値 | | | 単位 |
|-------------------|----------|---|-----------------|----|-----------|------------------|
| | | | 最小 | 標準 | 最大 | |
| “H” レベル出力電圧 | V_{OH} | 3.3 V 系出力 $I_{OH} = -100\ \mu\text{A}$ | $V_{DDE} - 0.2$ | — | V_{DDE} | V |
| “L” レベル出力電圧 | V_{OL} | 3.3 V 系出力 $I_{OL} = 100\ \mu\text{A}$ | 0 | — | 0.2 | V |
| 入力リーク電流 | I_L | — | - 10 | — | + 10 | μA |
| プルアップ/ プルダウン抵抗 | R_P | プルアップ $V_{IL} = 0\text{ V}$ のとき プルダウン $V_{IH} = V_{DDE}$ のとき | 15 | 33 | 70 | $\text{k}\Omega$ |

(注意事項) LVCMOS 1.8 V, 2.5 V 版に関しては営業部門までご相談ください。

■ 設計手法

スタンダードセル統合設計環境 (Reference Design Flow) には以下の機能があり、大規模で高品質なシステム LSI の短期開発が可能です。

- ・ 統計的タイミング解析 (SSTA) の導入によりタイミング収束性を向上
- ・ Physical Prototyping による物理設計の早い段階での信頼性の高いデザイン見積もり機能
- ・ Physical Synthesis Tool によるタイミング最適化を駆使したレイアウト合成機能
- ・ 電源電圧降下、信号ノイズ、遅延ペナルティ、クロストークを考慮した高精度な設計環境
- ・ ノイズを考慮した I/O 設計環境 (電源設計、I/O 配置・選択、パッケージ選択)

■ パッケージ

従来シリーズで提供中のパッケージも利用できますので、既開発品種の置き換えがスムーズにできます。
なお、供給時期につきましては、営業部門までご確認をお願いします。

- ・ FBGA パッケージ
- ・ PBGA パッケージ
- ・ TEBGA パッケージ
- ・ FC-BGA パッケージ

富士通マイクロエレクトロニクス株式会社

〒163-0722 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fml/>

お問い合わせ先

富士通エレクトロニクス株式会社

〒163-0731 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fei/>

電子デバイス製品に関するお問い合わせは、こちらまで、

 **0120-198-610**

受付時間：平日 9 時～ 17 時（土・日・祝日、年末年始を除きます）
携帯電話・PHS からもお問い合わせができます。
電話番号はお間違えないよう、お確かめのうえおかけください。

本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。

本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。従いまして、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。

本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的な用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。

本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。

本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。